



INSTITUTO POLITÉCNICO NACIONAL
CENTRO DE INNOVACIÓN Y DESARROLLO
TECNOLÓGICO EN CÓMPUTO



Diseño de un Analizador de Sistemas de Transmisión PCM, con despliegue de resultados en una Computadora Portátil

Tesis que, para obtener el Grado de
Maestría en Tecnología de Cómputo
presenta:

David Jaimes Estrada

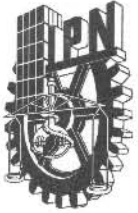
Directores:

M. en C. Juan Carlos Herrera Lozada

M. en C. Israel Rivera Zárate

CIDETEC – IPN

México D. F., diciembre de 2009



INSTITUTO POLITECNICO NACIONAL SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

ACTA DE REVISION DE TESIS

En la Ciudad de México, D.F. siendo las 11:00 horas del día 20 del mes de Noviembre de 2009 se reunieron los miembros de la Comisión Revisora de Tesis designada por el Colegio de Profesores de Estudios de Posgrado e Investigación del CIDETEC para examinar la tesis de grado titulada:

DISEÑO DE UN ANALIZADOR DE SISTEMAS DE TRANSMISIÓN PCM, CON DESPLIEGUE DE RESULTADOS EN UNA COMPUTADORA PORTÁTIL

Presentada por el alumno:

JAIMES

Apellido paterno

ESTRADA

materno

DAVID

nombre(s)

Con registro:

B	0	7	1	5	6	5
---	---	---	---	---	---	---


aspirante al grado de:


MAESTRÍA EN TECNOLOGÍA DE CÓMPUTO

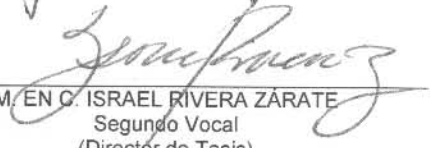
Después de intercambiar opiniones los miembros de la Comisión manifestaron **SU APROBACION DE LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

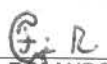
LA COMISION REVISORA



DR. VÍCTOR MANUEL SILVA GARCÍA
Presidente


M. EN C. JUAN CARLOS GONZALEZ ROBLES
Secretario


M. EN C. JUAN CARLOS HERRERA LOZADA
Primer Vocal
(Director de Tesis)


M. EN C. ISRAEL RIVERA ZÁRATE
Segundo Vocal
(Director de Tesis)


M. EN C. ROLANDO FLORES CARAPIA
Tercer Vocal


M. EN C. EDUARDO RODRIGUEZ ESCOBAR
Suplente

EL PRESIDENTE DEL COLEGIO


DR. VÍCTOR MANUEL SILVA GARCÍA



S. E. P.
INSTITUTO POLITECNICO NACIONAL
CENTRO DE INNOVACION Y DESARROLLO
TECNOLOGICO EN COMPUTO



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

CARTA CESIÓN DE DERECHOS

En la Ciudad de **México D. F.** el día **27** del mes de **Noviembre** del año **2009**, el que suscribe **David Jaimes Estrada** alumno del Programa de **Maestría en Tecnología del Cómputo** con número de registro **B071565**, adscrito al **Centro de Innovación y Desarrollo Tecnológico en Cómputo**, manifiesta que es autor intelectual del presente trabajo de Tesis bajo la dirección de M. En C. Juan Carlos Herrera Lozada y cede los derechos del trabajo intitulado “**Diseño de un Analizador de Sistemas de Transmisión PCM, con Despliegue de Resultados en una Computadora Portátil**”, al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, gráficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo. Este puede ser obtenido escribiendo a la siguiente dirección **jaimesdavid@yahoo.com**. Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.



David Jaimes Estrada
Nombre y firma

Resumen

El presente trabajo de tesis tiene como objeto el diseño de un instrumento de medición para el análisis de equipos de transmisión digital PCM integrable a una PC, la cual será aprovechada para la configuración, control y despliegue de resultados del instrumento. Este trabajo abarca dos aspectos fundamentales: el diseño del Hardware que constituye al instrumento y la Implementación de un programa de Software el cual se comunica con el Hardware. El medio de comunicación a utilizar será el puerto serial RS-232.

Abstract

The purpose of this thesis project, is designing a test set for PCM digital transmission equipment, that shall be integrated with a personal computer to control the test set and results display. The scope of this thesis includes two fundamental aspects: Hardware design for the test set and a Software tool implementation to allow communication between PC and the test set. The communication media is the serial PC port with RS-232 interface.

Dedicado a mi Esposa e Hijo

Agradecimientos

Quiero agradecer a todos mis profesores por su dedicación

A mis compañeros por su apoyo y amistad

Deseo agradecer al Profesor Jesús Álvarez Cedillo por la ayuda recibida

De manera especial, deseo agradecer al Ingeniero Jorge Andrade Díaz, por el apoyo que hizo posible este trabajo.

Índice General

1. Introducción	1
1.1 Planteamiento del Problema.....	1
1.2 Estado del Arte	2
1.3 Objetivo General.....	5
1.4 Objetivos Particulares	5
1.5 Metodología	5
1.6 Organización del trabajo	7
2. Marco Teórico	8
2.1 Antecedentes	8
2.2 Descripción del sistema PCM de primer Orden bajo el estándar europeo	10
2.3 Código de línea	12
2.4 Interfaces principales	15
2.5 Medición del desempeño	16
2.6 Medición del desempeño de sistemas de transmisión síncronos	19
3. Diseño del Analizador de Patrones	20
3.1 Diseño Conceptual	20
3.2 Diseño del Hardware	21
3.3 Descripción del Hardware (FPGA)	22
3.3.1 Generación de señales de reloj	24
3.3.2 Interfaz de comunicaciones con la Computadora.....	27
3.3.3 Bloque de contadores y registros para configuración.....	30
3.3.4 Generación de patrones	31
3.3.5 Generación de trama E1	32
3.3.6 Codificador HDB3.....	35
3.3.7 Interfase tipo E1 (2.048 Mbps).....	37
3.3.8 Decodificador HDB3	38
3.3.9 Sincronización de Trama E1	40
3.3.10 Detector de Errores	42

3.4 Diseño de la interfaz Gráfica	45
3.4.1 Desplegado de resultados	46
3.4.2 Configuración del analizador	47
3.4.3 Puesta en marcha de periodos de prueba	47
3.4.4 Desplegado del estado del analizador	47
3.4.5 Comunicación bi-direccional con el Analizador	48
3.4.6 Inserción de errores de prueba.....	49
4. Pruebas y Resultados	50
4.1 Prueba en configuración inicial.....	50
4.1.1 Objetivo de la prueba.....	50
4.1.2 Pre-requisitos	51
4.1.3 Procedimiento	51
4.1.4 Resultados	52
4.2 Prueba de programación.....	53
4.2.1 Objetivo de la prueba.....	53
4.2.2 Pre-requisitos	54
4.2.3 Procedimiento	54
4.2.4 Resultados	54
4.3 Puesta en operación de un periodo de prueba.....	55
4.3.1 Objetivo de la prueba.....	56
4.3.2 Pre-requisitos	56
4.3.3 Procedimiento	56
4.3.4 Resultados	57
4.4 Inserción de errores	58
4.4.1 Objetivo de la prueba.....	58
4.4.2 Pre-requisitos	58
4.4.3 Procedimiento	58
4.4.4 Resultados	58
5. Conclusiones.....	60
5.1 General	60
5.2 Desarrollo del prototipo	61
5.3 Interfaz Gráfica.....	62
5.4 Trabajos futuros.....	62
6. Bibliografía.....	64
7. Anexos	65
7.1 Datos Técnicos de la PC utilizada	65
7.2 Xilinx, Información técnica del Kit de desarrollo.....	66

Índice de Figuras

Figura 1: Señal de voz.....	10
Figura 2: Comparación entre Señales con retorno a cero (RZ) y sin Retorno a cero (NRZ).....	14
Figura 3: Señal codificada en código AMI.....	14
Figura 4: Codificación HDB3.....	15
Figura 5: Generador de patrón $2^{15}-1$	19
Figura 6: Esquema del Analizador de patrones.....	21
Figura 7: Arquitectura de hardware.....	22
Figura 8: Tarjeta de desarrollo Xilinx.....	23
Figura 9: Ambiente de desarrollo Xilinx.....	24
Figura 10: Bloque Generador de Reloj.....	25
Figura 11: Estructura interior del Bloque e reloj.....	26
Figura 12: Interfase de Comunicaciones con la computadora.....	28
Figura 13: Estructura Interior del Bloque Ser_Par_Registros.....	29
Figura 14: Organización del Bloque de Contadores y Registros para Configuración.....	31
Figura 16: Bloque Multiplexor.....	32
Figura 17: Estructura interior de Bloque Multiplexor.....	34
Figura 18: Codificador HDB3.....	35
Figura 19: Estructura interna del Codificador HDB3.....	36
Figura 20: Circuito de acoplamiento de señal hacia línea de transmisión.....	37
Figura 21: Circuito de acoplamiento de Recepción.....	38
Figura 22: Decodificador HDB3.....	39
Figura 24: Palabra de sincronía de trama de 2 Mbps.....	40
Figura 25: Bloque demultiplexor.....	41
Figura 27: Bloque detector de Errores.....	42
Figura 28: Estructura interna de Medidor_Byte.....	43
Figura 29: Estructura interna del bloque Medidor 15.....	44
Figura 30: Interfaz Gráfica.....	46
Figura 31: Formato de cadenas de comando.....	49
Figura 32: Aspecto del arreglo de LEDs en la tarjeta de desarrollo al encender el Analizador.....	51
Figura 33: Interfaz Gráfica para prueba.....	52
Figura 34: Interfaz gráfica después de haber presionado el botón “Consulta”.....	53
Figura 35: Bloque de LEDs mostrando el contenido de las ranuras de tiempo que es el Byte programado.....	55
Figura 36: Actividad de la Interfaz Gráfica durante un periodo de prueba.....	57
Figura 37: Interfaz Gráfica durante el periodo de prueba con inserción de errores.....	59

Índice de Tablas

Tabla 1: Cuadro 5A/G.704 – Asignación de los bits de la trama numerados del 1 al 8	12
Tabla 2: Cuadro 7/G.703 – Interfaz digital a 2048 kbit/s	16
Tabla 3: : Eventos de característica de error para conexiones (Fuente: ITU-T G.826)	17
Tabla 4: Parámetros de desempeño para sistemas de transmisión (Fuente: ITU-T G.826)	18
Tabla 5: Terminales de Bloque de Generación de Reloj.....	25
Tabla 6: Descripción de terminales del Bloque Ser_Par_Registros.....	28
Tabla 7: Selección de patrón de prueba	31
Tabla 8: Descripción de terminales de Bloque Multiplexor.....	33
Tabla 9: Descripción de terminales del codificador HDB3	35
Tabla 10: Descripción de terminales de bloque Decodificador HDB3.....	39
Tabla 11: Descripción de terminales de Bloque De-Multiplexor.....	41
Tabla 12: Descripción terminales de detector de Errores	43

Glosario de términos

ADC	Convertidor Analógico-Digital
AMI	Inversión de Marcas Alternadas
ANSI	American National Standard Institute
DAC	Convertidor Digital-Analógico
FPGA	Arreglo de Compuertas Programable en Campo
HDB3	Código de Alta Densidad de Bits
IEEE	Instituto de Ingenieros en Electrónica y Electricidad
ITU	Unión Internacional de Telecomunicaciones
LED	Diodo Emisor de Luz
OSI	Interconexión de Sistemas Abiertos
PCM	Modulación por Pulsos Codificados
PDH	Jerarquía Digital Casi-Síncrona
SDH	Jerarquía Digital Síncrona
TDM	Multiplexor Por División en Tiempo
UART	Transmisor Receptor Asíncrono Universal

Capítulo

1

1. Introducción

Hoy día, los sistemas de telecomunicaciones han pasado a formar una parte integral de nuestro modo de vida, el desarrollo tecnológico y la demanda de los servicios de telecomunicaciones, han permitido ofrecer a cada vez más usuarios, formas más accesibles y funcionales de comunicarse.

Este impulso ha sido el motor que impulsa a las corporaciones a implementar redes de comunicaciones más grandes y confiables, buscando satisfacer las diversas necesidades de sus clientes, quienes siempre están en la búsqueda de la mejor oferta de servicios.

Esto trae consigo la necesidad de garantizar en todo momento el desempeño de las redes de comunicaciones, con el propósito de ofrecer servicios que cumplan con los parámetros de calidad¹ ofrecidos a sus clientes.

1.1 Planteamiento del Problema

Los requerimientos de desempeño de los sistema de comunicaciones ejercen mucha presión sobre el personal técnico. Esto se torna aún mas crítico cuando no se cuenta con las herramientas adecuadas que permitan verificar los parámetros de operación de los equipos y sistemas bajo su resguardo.

Esto es debido primordialmente a la disponibilidad limitada de equipos de prueba accesible al personal técnico, ya que además de contar con un alto desempeño en los sistemas de comunicaciones, también es necesario que sean rentables y el minimizar los costos de operación es una constante en cualquier proveedor de servicios. Esto, aunado lo costoso de los equipos de medición comerciales, trae la necesidad de reducir en lo posible el inventario de equipos de prueba.

¹ Los parámetros de calidad para las redes PCM están marcados en las recomendaciones de la ITU-T G.826 (Parámetros y objetivos de las características de error de extremo a extremo para conexiones y trayectos digitales internacionales de velocidad binaria constante)

Es por ello que toma sentido el desarrollo de una herramienta compacta y de costo reducido, que pueda formar parte del kit de herramientas “comunes” para un técnico operador de red de transporte.

El presente trabajo de tesis está orientado a proporcionar una herramienta accesible y flexible a los operadores de redes de telecomunicaciones, que les sea útil en la prueba y diagnóstico de sus circuitos de telecomunicaciones que operan a la velocidad de 2.048 Mbps (E1).

La solución estará basada en la implementación de Hardware y Software que permitan la ejecución de las pruebas sobre los equipos de telecomunicaciones, con la capacidad de visualizar los resultados en la pantalla de una computadora portátil; así se plantea la necesidad de establecer un medio de comunicaciones entre la computadora y el hardware, para ello se utilizó el puerto serial RS-232.

1.2 Estado del Arte

En esta sección revisaremos de manera somera, algunos de los equipos disponibles comercialmente para la medición del desempeño de redes de transporte digital, resaltando sus principales características y haciendo un comparativo con la solución propuesta.

En la actualidad existe una amplia gama de equipos de prueba los cuales los podemos agrupar en 3 clases principales:

- a) **Equipos orientados a pruebas de laboratorio**, los cuales cuentan con facilidades para efectuar diversos tipos de mediciones, lo que puede incluir mediciones de la estabilidad de la señal de reloj, frecuencia, etcétera.



- b) **Equipos de “espectro” amplio** y que cuentan con capacidad de efectuar mediciones en una diversidad de velocidades y formatos de señal, además de soporte a diversas interfaces eléctricas y ópticas, generalmente cuentan con una gran cantidad de utilidades para configuración y despliegue de resultados.



- c) **Equipos portátiles.** Estos son equipos compactos diseñados para aplicación en campo y generalmente tiene un soporte limitado en velocidades y formatos de señal de prueba, y un soporte limitado de interfaces de datos.



La solución propuesta ofrece varias ventajas respecto a las soluciones anteriores como son:

- a) **Hardware compacto.** El desarrollo de la solución final considera sólo un tarjeta de tamaño muy reducido, pues lo único que requiere es el chip de la FPGA, el chip UART, los componentes analógicos para la

interfaz E1, y los componentes de soporte a la tarjeta tales como fuente de alimentación, Indicadores (LED), etcétera.

- b) Operación simple. El analizador estará limitado en funciones configurables lo que simplifica su operación.
- c) Bajo consumo de energía. Esto es posible ya que el analizador cuenta con un número muy reducido de componentes activos y no está equipado con display.
- d) Solución de bajo costo. Gracias a que la cantidad de funciones y facilidades está limitada, no contará con teclado, display ni utilidades, pues estas funciones son realizadas por la PC, la cual ya cuenta con estos recursos.

Es también importante hacer resaltar algunas desventajas que analizador tiene respecto las otras soluciones, así como la forma en que desarrollos futuros pueden hacer frente a estas desventajas agregando características al analizador.

- a) Dependencia de una PC externa. El sistema por diseño depende de una PC lo cual puede ser una desventaja en diversas situaciones prácticas al no tener la posibilidad de operar el aparato sin el apoyo de la computadora. Esto puede ser mitigado desarrollando herramientas de operación del analizador para PDA u otros dispositivos de tales como teléfonos celulares (con puerto IR), o por medio de la implementación botones y un display de 1 ó 2 líneas de caracteres.
- b) No cuenta con display para observar los resultados de las pruebas. Esto sería resuelto al incluir un display como se mencionan en el inciso anterior.
- c) Interfaz física limitada. La mayoría de los equipos comerciales soportan diversas interfaces físicas, este analizador sólo contaría con una. De ser necesario otro tipo de interfaz física, pueden usarse convertidores de interfaz como es el caso de los BALUN²

Finalmente podemos comentar que aunque el sistema fue diseñado para estar conectado a una computadora, un desarrollo futuro podrá darle la capacidad de operación de manera aislada, aunque con un limitado control y capacidad de visualización de resultados.

² BALUN que significa Balanced-Unblaced pues convierte una línea Balaceada como las de 120 ohms de par tensado a una desbalanceada de 75 ohms para cable coaxial.

1.3 Objetivo General

Diseñar un instrumento de medición para el análisis de sistemas de transmisión PCM de primer orden (interfaz E1 de 2.048 Mbps), con la posibilidad de ser integrado a una computadora personal para propósitos de configuración y despliegue de resultados.

1.4 Objetivos Particulares

El presente trabajo tiene como objetivos particulares los siguientes:

- a) Aprovechar los recursos de la computadora personal tales como el teclado y monitor, para contar con un sistema de medición compacto y flexible por medio de la implementación de un instrumento con un mínimo de recursos de Hardware.
- b) Desarrollo del sistema lógico sobre un FPGA
- c) Desarrollo de una Interfaz Gráfica para control del Hardware y despliegue de resultados
- d) Integración entre la interfaz Gráfica y el Hardware del Analizador

1.5 Metodología

El hardware se implementó con ayuda de la plataforma de desarrollo de Xilinx, en particular se utilizó el kit de desarrollo Spartan-3A FPGA Starter Kit y las herramientas incluidas en el paquete de software ISE. La decisión obedeció a las siguientes bondades:

- a) La velocidad a la que el sistema procesa información es elevada (2.048 MHz) en comparación con la velocidad a la que operan dispositivos comerciales tales como los microcontroladores (operando 50 MHz), sobre todo cuando consideramos que cada bit de información transmitida o recibida, demandaría de varios ciclos de instrucción, esto es para cada sentido (transmisión y recepción) lo cual compromete la capacidad de un microcontrolador para atender las demandas de procesamiento del sistema.
- b) La FPGA permite la implementación de diversos procesadores dedicados los cuales pueden operar en paralelo o en serie, esto permite

aprovechar al máximo los recursos del chip, sin comprometer la velocidad del dispositivo de manera significativa.

- c) El fabricante de la FPGA cuenta con herramientas de software que facilitan el desarrollo de prototipos, tales como el manejo de diversos lenguajes descriptores de hardware, bibliotecas de componentes simulación y herramienta para la implementación de máquinas de estado.

El diseño lógico se llevó a cabo, haciendo uso de las bibliotecas de componentes proporcionadas por el ambiente de desarrollo, para la implementación de circuitos lógicos por medio de componentes esquemáticos.

Se utilizó el sistema de reloj de 50 MHz que la tarjeta de desarrollo tiene integrado, el cual por medio del uso de contadores, se utilizó para sintetizar diversas frecuencias de reloj, necesarias para sincronizar diversos procesos del sistema como son: El puerto serial, el cual trabaja a 9600 Hz, y la interfaz E1 a una velocidad de 2.048 MHz.

También fueron utilizados los componentes para comunicación serial disponibles en la tarjeta de desarrollo, como son el chip UART y uno de los 2 puertos seriales disponibles.

La velocidad del puerto serial para comunicar el Analizador con la PC, es fija para minimizar la complejidad del sistema.

El prototipo se desarrolló en bloques funcionales, con el propósito de contar con la capacidad de probar a cada uno de ellos de manera individual, haciendo uso de otros componentes tales como los bloques de LEDs, los Switches deslizables y los botones de contacto momentáneo.

La aplicación que sirve de Interfaz Gráfica para la comunicación con el Hardware y que corre sobre la PC, se desarrolló en el ambiente MS Visual Basic Express 2008, el cual ya cuenta con objetos orientados al manejo de comunicaciones a través de los puertos de la PC, así como de herramientas y recursos de programación para el desarrollo de aplicaciones gráficas.

La interfaz gráfica se desarrolló haciendo uso de componentes gráficos y programación basados en eventos. Se implementaron componentes dedicados para la comunicación a través del puerto serial, y las comunicaciones son controladas con la ayuda de un temporizador.

Los datos a ser transmitidos a través del puerto serial, se consideran como bytes individuales, los cuales toman sentido después de ser procesados, tanto

por el analizador, el cual los carga a su bloque de registros, o por la Interfaz Gráfica la cual los utiliza para formar cadenas que más tarde son tratadas ya sea como valores enteros, caracteres o cadenas.

1.6 Organización del trabajo

El presente trabajo de tesis está integrado por 5 capítulos, cada uno de los cuales tiene un propósito particular descrito a continuación:

El capítulo 1 explica de manera general la problemática que motivó la realización de este trabajo, e introduce al lector en el tema de las telecomunicaciones, particularmente en lo que concierne con la transmisión de información digital por medio de sistemas PCM, haciendo énfasis en la relevancia que las recomendaciones internacionales tienen en el diseño, implementación y uso sistemas de telecomunicaciones. En este mismo capítulo se aborda la propuesta de solución y cubre el estado del arte de las soluciones comerciales existentes.

El capítulo 2 constituye el marco teórico dentro del cual se desenvuelve el trabajo. Explica con detalle algunos aspectos relevantes para el desarrollo del hardware, como es el caso de las características de las señales de transmisión digital, características de la trama de 2.048 Mbps y de la Interfaz E1, así como los criterios para evaluar el desempeño de sistemas de transmisión digital.

El capítulo 3 cubre el desarrollo de la solución, abarca el desarrollo del hardware y del programa de interfaz gráfica, así como del intercambio de información entre la PC y el hardware. Habla también de los bloques funcionales que constituye al analizador y el modo en que cada uno de ellos interviene dentro del sistema para procesar las señales involucradas.

El capítulo 4 está dirigido a documentar las pruebas al analizador, establece los aspectos importantes a ser probados y define los requerimientos mínimos necesarios para la realización de cada prueba, así mismo, establece los criterios de aceptación para cada prueba y resultados de las mismas. El proceso de prueba es secuencial, por lo que para estar en condiciones de realizar una prueba, es necesario haber completado la anterior.

Finalmente, en el capítulo 5 se encuentran las conclusiones del trabajo de tesis, en el se revisan los resultados del trabajo y verifica el cumplimiento de los objetivos establecidos para este trabajo de tesis y plantea algunas actividades a futuro.

Capítulo

2

2. Marco Teórico

El presente trabajo cuenta con un marco teórico apegado a las recomendaciones internacionales, debido a que la gran mayoría de los equipos y sistema de telecomunicaciones, se diseñan, implementan y operan dentro de parámetros establecidos por este conjunto de recomendaciones. Esto garantiza la compatibilidad de interfaces y protocolos, aún cuando deban interconectarse equipos o sistemas de diversos fabricantes. Puede decirse que las recomendaciones en materia de comunicaciones, han evitado el “caos” de la conectividad entre sistemas.

2.1 Antecedentes

Los sistemas de comunicaciones actuales logran conectividad a través de una infinidad de medios, tales como redes basadas en estándares de red como IEEE 802.3, por medio de fibra óptica, sistemas satelitales, etc.

Esto no siempre fue así, la mayoría de las redes actuales son el resultado de la constante evolución de los antiguos sistemas orientados al transporte de señales de telégrafos y voz analógica. Recientemente, el desarrollo tecnológico en ese rubro se concentró, en el incrementar la capacidad de transporte de señales por medio de técnicas de multiplexado, con lo que se logró abatir costos al permitir el uso de los medios de transmisión para soportar al mismo tiempo varias señales. Primeramente se desarrollaron sistemas de multiplexaje en frecuencia los cuales cedieron el paso a las técnicas basadas de multiplexaje en tiempo gracias al desarrollo de los sistemas digitales. Hoy día no es rara la aplicaciones de sistemas digitales con velocidades del orden de 2.5 a 10 Giga bits por segundo.

Este desarrollo en materia de redes de comunicaciones fue principalmente impulsado por la creciente demanda de servicios telefónicos, los cuales no han dejado de crecer hasta ahora. Es por ello que los primero sistemas digitales fueron específicamente diseñados para transportar servicios orientados a conexiones de circuitos.

La llegada de la tecnología digital abrió nuevas posibilidades que, en general, permitieron el mejoramiento de los sistemas de transmisión de señales, con mejores niveles de calidad y, al mismo tiempo, permitió la optimización en el uso de los medios físicos con la aplicación de sistemas de multiplexaje tanto en el dominio del tiempo (TDM) [1]. Para los servicios de se llevó a cabo con sistemas con modulación por pulsos codificados PCM. [5]

El sistema de modulación por pulsos codificados PCM³, es un tipo de modulación digital que codifica la señal de voz (para lo que fue diseñado) en palabras de 8 bits, los cuales representan cada una de las muestras derivadas de la conversión analógica-digital a la cual es sometida la señal de voz antes de ser transmitida⁴.

La señal de voz es muestreada 8000 veces cada segundo lo cual es consecuencia del ancho de banda de la señal la cual está tipificada en 3600 Hz. Este ancho de banda por cuestiones prácticas se ajusta a 4000 Hz, y como consecuencia del teorema de Nyquist⁵ [1], la frecuencia de muestreo será de 8,000 Hz. La Figura 1: Señal de voz, muestra un ejemplo las señal de voz humana.

Una de las principales ventajas que se tiene al digitalizar las señales analógicas es la capacidad de multiplexar-demultiplexar estas señales, lo cual permite optimizar los medios físicos necesarios para realizar el transporte de las señales de un punto a otro. Para el caso de señales PCM derivadas de señales de voz para aplicaciones en el sistema telefónico, se desarrollaron dos técnicas que hasta ahora perduran: El sistema PCM basado en el estándar ANSI (o americano como se conoce) y el establecido por la ITU-T (o estándar europeo), el primero concentra 24 señales PCM de voz en un solo canal digital, el segundo lo hace con 32 señales en un solo canal; Esta técnica codifica cada una de estas muestras en palabras de 8 bits, por lo tanto la velocidad de transmisión es: $8000 \times 8 \times 32 \text{ bits} = 2,048,000 \text{ bits/s}$. Este sistema el que se emplea en México, por lo que en lo subsiguiente, sólo nos referiremos a él. Su designación es E1 y constituye la velocidad básica para los sistemas de transmisión digital.

³ Del acrónimo en inglés "Pulse Code Modulation"

⁴ En General cualquier señal analógica puede ser codificada con técnicas PCM

⁵ El teorema de Nyquist establece que para conservar la cantidad de información contenida en una señal analógica, esta deberá de ser muestreada al menos al doble de su ancho de banda máximo.

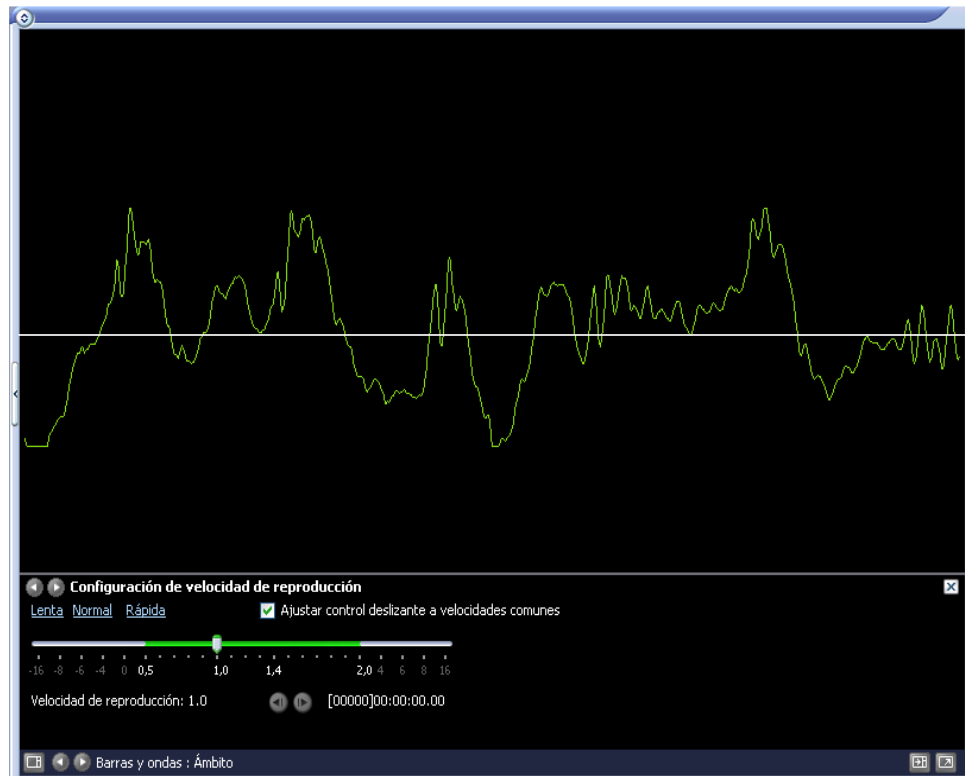


Figura 1: Señal de voz

Esto no se queda aquí, a partir de este nivel de velocidad de transmisión, el cual también se conoce como multiplexor de Primer orden, se pueden concentrar 4 señales E1 para producir una señal de 1 E2 (para producir una señal de Segundo orden), y 4 de éstas a su vez forman un E3 (el tercer orden), luego está el Cuarto orden e incluso el Quinto orden. Esta técnica es denominada PDH (jerarquía digital casi-síncrona). Hoy día otra técnica está disponible que es denominada SDH (jerarquía digital síncrona). Este trabajo de tesis estará confinado dentro de los sistemas de Primer orden.

2.2 Descripción del sistema PCM de primer Orden bajo el estándar europeo

Los sistemas de comunicaciones actuales, basados en técnicas digitales de transmisión de señales, utilizan con mucha frecuencia tecnología PCM para señales de voz. Aunque su uso se ha extendido a los sistemas de transmisión de datos, basados en conmutación de paquetes y tramas, utilizan como

medios de transporte sistemas PDH [5], los cuales corresponden a la capa física del modelo OSI⁶.

Dado que el sistema PCM fue diseñado para transportar señales de voz, tomaremos este principio para describir esta técnica:

El primer paso para pasar de una señal analógica (en este caso de señal de voz) a una señal digital (en este caso de PCM) es el realizar una conversión analógica digital. Lo primero que ocurre es el acondicionamiento de la señal que proviene de la fuente de audio (por lo general un micrófono), la cual debe de filtrarse y amplificarse a niveles de señal que permitan una adecuada conversión analógica-digital, esto último tiene lugar en un convertidor tipo ADC⁷ el cual muestrea la señal a la velocidad de 8000 veces por segundo, realiza un procedimiento de cuantificación y codifica el valor de cada muestra en palabras de 8 bits, de-acuerdo con cualquiera de dos leyes:

- Ley A
- Ley μ

Cada una de esas leyes constituyen una tabla de asignación de valores digitales contra el valor de la señal analógica ya cuantificada. Estas tablas están definidas por recomendaciones de la ITU⁸.

Esta técnica, como se mencionó antes, agrupa (multiplexa) 32 señales en una sola por lo que debe emplear una estructura denominada trama, la cual se describe a continuación.

Los 8 bits correspondientes a cada canal se agrupan para formar una sola trama de 256 bits, éstos están numerados del 1 al 256⁹, los bits 1 a 8 corresponden al intervalo de tiempo designado como TS0¹⁰, del 9 al 16 corresponden al TS1, y así hasta llegar al TS31 [7].

El canal TS0 se utiliza para alinear la trama por medio de una secuencia de bits conocida como palabra de alineación de trama. Esta palabra se incluye cada tercer trama en el TS0, es decir una trama lleva señal de alineación y la otra contiene información para diversas aplicaciones, según se describe en la

⁶ Open System Interconnexion

⁷ Analog-Digital Converter

⁸ Ver G.711

⁹ Recomendación de ITU-T numero G.704

¹⁰ TS por sus siglas en inglés (Time Slot)

Tabla 1: Cuadro 5A/G.704 – Asignación de los bits de la trama numerados del 1 al 8

Cuadro 5A/G.704 – Asignación de los bits de la trama numerados del 1 al 8
Fuente: ITU-T G.704.

Número del bit	1	2	3	4	5	6	7	8
Tramas alternadas								
Trama que contiene la señal de alineación de trama	Si	0	0	1	1	0	1	1
	(Nota 1)	Señal de alineación de trama						
Trama que no contiene la señal de alineación de trama	Si	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
	(Nota 1)	(Nota 2)	(Nota 3)	(Nota 4)				

NOTA 1 – Si = bits reservados para uso internacional. En 2.3.3 (ITU-T G.704) se describe un uso específico. En etapas posteriores se podrán definir otros usos posibles. Si ninguno de estos usos se realizan en la práctica, se deberán poner estos bits a 1 en los trayectos digitales que atraviesan una frontera internacional. No obstante, se pueden utilizar en el ámbito nacional si el trayecto digital no atraviesa una frontera.

NOTA 2 – Este bit se pone a 1 para evitar simulaciones de la señal de alineación de trama.

NOTA 3 – A = indicación de alarma distante. En funcionamiento normal, puesto a 0, en condición de alarma, puesto a 1.

NOTA 4 – Sa4 a Sa8 = bits adicionales de reserva que pueden utilizarse como sigue:

- Los bits Sa4 a Sa8 pueden ser recomendados por el UIT-T para uso en aplicaciones punto a punto específicas (por ejemplo, equipos transcodificadores conformes a la Recomendación G.761).
- El bit Sa4 puede utilizarse como un enlace de datos basado en mensaje que ha de recomendar el UIT-T para operaciones, mantenimiento y monitorización de la calidad de funcionamiento. Si se accede al enlace de datos en puntos intermedios, con las alteraciones consiguientes del bit Sa4, los bits CRC-4 deben actualizarse para conservar las funciones correctas de terminación de trayecto de extremo a extremo asociadas con el procedimiento CRC-4 (véase 2.3.3.5.4). El protocolo y los mensajes del enlace de datos quedan en estudio.
- Los bits Sa5 a Sa7 son para uso nacional cuando no se les necesita para aplicaciones punto a punto específicas [véase el inciso i) anterior].
- Uno de los bit Sa4 a Sa8 puede utilizarse en una interfaz de sincronización para transportar mensajes de situación de sincronización que se describen en 2.3.4. Los bits Sa4 a Sa8 (cuando no se utilizan) deben ponerse a 1 en enlaces que atraviesan fronteras internacionales.

Tabla 1: Cuadro 5A/G.704 – Asignación de los bits de la trama numerados del 1 al 8

2.3 Código de línea

Una vez se ha digitalizado y codificada la señal¹¹, se concentran todas las señales de interés en una sola por medio del proceso de multiplexado en tiempo (TDM¹²).

¹¹ Las señales de voz se codifican haciendo uso de ya sea de la ley “A” o la ley “μ”. Las señales de datos utilizan diversas técnicas de codificación.

¹² TDM por las siglas en inglés que significan Time Division Multiplex

El siguiente paso debe “traducir” esta señal a un código de línea que permita transmitirla de manera eficiente, teniendo en consideración los siguientes factores que afectan la transmisión de datos digitales [6]:

- a) Elimina los componentes de voltaje de corriente directa de la línea de transmisión
- b) Capacidad de recuperación de señal de reloj
- c) Limita el ancho de banda de transmisión
- d) Facilidad de decodificación de la señal en el lado receptor
- e) Detección de errores

Una de las principales preocupaciones en los procesos de transmisión de datos es la que corresponde a los recuperación de la señal de reloj [8], ya que de ello depende la capacidad para reconocer y decodificar la información. Para ello es importante que la señal transmitida contenga un gran número de transiciones; Esto es especialmente importante si recordamos que las señales de información pueden contener secuencias de “0” ó “1” muy largas, cuando esto sucede no hay manera de estar seguros en donde termina un bit y empieza otro.

Una técnica muy usada es la aplicación de señales con Retorno a Cero (RZ¹³), ello asegura la existencia de transiciones en la señal no obstante que contengan grandes cadenas de “1’s”. Como se puede observar en la Figura 2: Comparación entre Señales con retorno a cero (RZ) y sin Retorno a cero (NRZ) , la señal digital “origen” la cual no tiene transiciones en cada “1” lógico (si retorno a cero ó NRZ) y su equivalente con una señal con retorno a cero (RZ)

¹³ RZ por las siglas en inglés Return to Zero

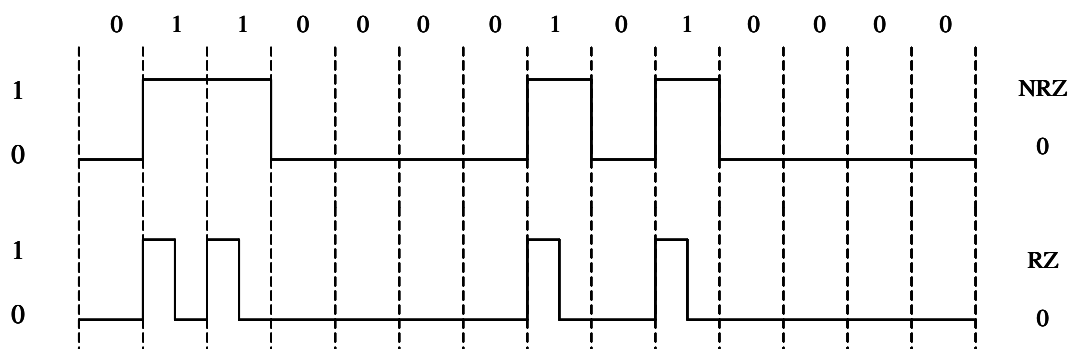


Figura 2: Comparación entre Señales con retorno a cero (RZ) y sin Retorno a cero (NRZ)

Una de las razones que obliga a la aplicación de códigos de línea, es la necesidad de evitar componentes de corriente directa sobre la línea de transmisión. Esto se consigue haciendo uso de códigos bipolares, esto es, que la señal resultante contenga tanto pulsos negativos como positivos en un numero equivalente, de tal manera que se logre un balance entre los niveles de corriente directa. Una de las técnicas utilizadas para lograrlo es invirtiendo de manera alternada el signo de los “1´s” lógicos (también denominados marcas). A esta técnica se le denomina Inversión de Marcas Alternadas (AMI¹⁴)

La Figura 3: Señal codificada en código AMI muestra una señal codificada en código AMI

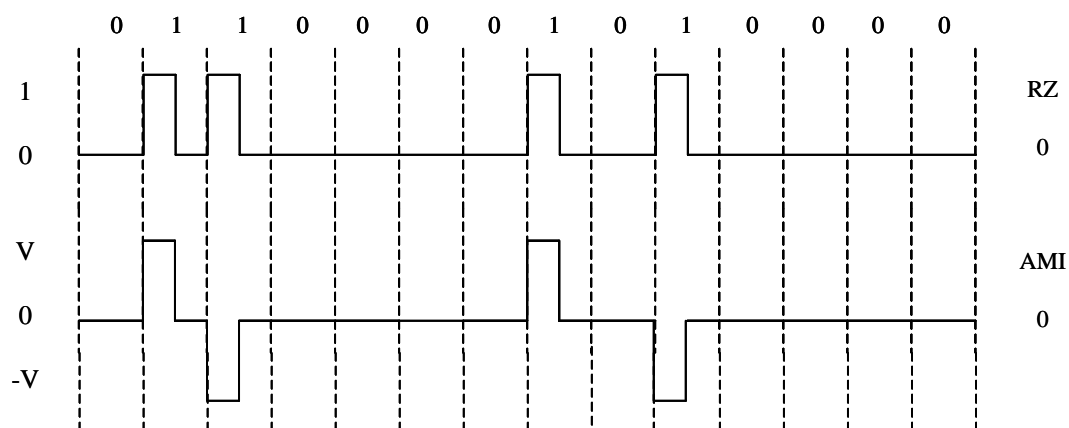


Figura 3: Señal codificada en código AMI

¹⁴ AMI por las siglas en inglés de Altern Mark Inversion. Ver recomendación UIT-T G.701

El uso de codificación AMI, resuelve el problema de las cadenas de “1’s” muy largas, pero no el de cadenas de “0’s”, esto se consigue con el uso del código HDB3 el cual substituye cada cadena de cuatro “0000” consecutivos con la cadena “000V” ó “B00V”, donde B es un bit de “relleno” y V es una violación bipolar (es decir: un bit que tiene la misma polaridad que el anterior). Esta substitución se efectúa bajo la siguiente regla:

“Cada bloque de cuatro ceros sucesivos se reemplaza por 000V o B00V. La elección de 000V o B00V se hace de modo que el número de impulsos B entre impulsos V consecutivos sea impar. En otras palabras, los impulsos V sucesivos son de polaridad alternada, por lo que no se introduce ningún componente de corriente continua.”¹⁵ [8]

La Figura 4 muestra una señal codificada en HDB3

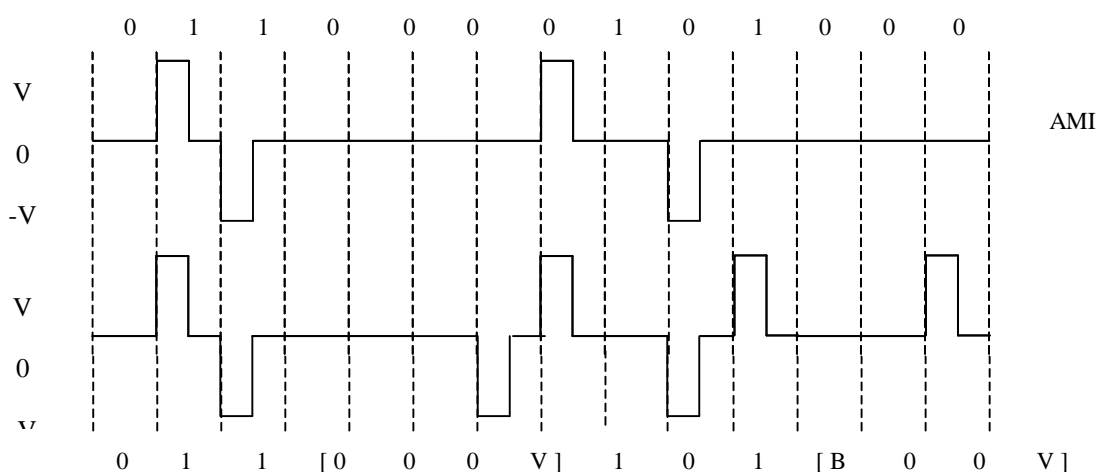


Figura 4: Codificación HDB3

2.4 Interfaces principales

En esta sección hablaremos respecto a las interfaces físicas utilizadas de manera común en sistemas de comunicaciones las cuales son descritas en la recomendación G.703 UIT-T¹⁶ [6].

¹⁵ Anexo A UIT-T G.703

¹⁶ Para mas detalles ver recomendación UIT-T G.703

La recomendación mencionada establece las características físicas y eléctricas para varias velocidades de transmisión, para nuestro caso la que aplica es la de 2.048 MHz, la cual está disponible en dos tipos de línea de transmisión: La línea coaxial de 75 ohms, y la línea balanceada de 120 ohms. La tabla siguiente¹⁷ muestra las características principales de esta interfase.

Forma del impulso (forma nominal rectangular)	Todas las marcas de una señal válida deberán ajustarse a la plantilla (véase la figura 15), independientemente del signo. El valor V corresponde al valor nominal de cresta	
Par(es) en cada sentido de transmisión	Un par coaxial (véase 9.4)	Un par simétrico (véase 9.4)
Impedancia de la carga de prueba	75 ohmios resistiva	120 ohmios resistiva
Tensión nominal de cresta de una marca (impulso)	2,37 V	3 V
Tensión de cresta de un espacio (ausencia de impulso)	0 +/-0,237 V	0 +/-0,3 V
Anchura nominal del impulso	244 ns	
Relación entre la amplitud de los impulsos positivos y la de los negativos en el punto medio del intervalo del impulso	De 0,95 a 1,05	
Relación entre la anchura de los impulsos positivos y la de los negativos en los puntos de semi-amplitud nominal	De 0,95 a 1,05	
Máxima fluctuación de fase cresta a cresta en un puerto de salida	Véase 5.1/G.823	

Tabla 2: Cuadro 7/G.703 – Interfaz digital a 2048 kbit/s

2.5 Medición del desempeño

En esta sección revisaremos la manera en que se caracterizan los sistemas de transmisión digital lo cual será útil para comprender el modo en que se mide el desempeño de estos sistemas.

¹⁷ Cuadro 7/G.703 – Interfaz digital a 2048 kbit/s (UIT-T G.703)

La UIT-T en su recomendación G.826 [9] establece los parámetros y definiciones que se aplican para medir el desempeño de sistemas de transmisión, esto aplica para sistemas asíncronos y síncronos¹⁸, éste último, el caso que nos ocupa por tratarse de un sistema PDH, parte de la medición de bits erróneos los cuales pueden producirse a lo largo del trayecto, por cualquier fenómeno de interferencia, distorsión o ruido en el medio de transporte.

La recomendación establece las siguientes definiciones:

<p>4.6 Eventos de característica de error para conexiones</p> <p>4.6.1 segundo con errores (ES, errored second): Intervalo de un segundo en que uno o más bits tienen errores o durante el cual se detecta una pérdida de señal (LOS), o una señal de indicación de alarma (AIS).</p> <p>4.6.2 Segundo con muchos errores (SES, severely errored second): Intervalo de un segundo en que la tasa de errores en los bits (BER, bit error ratio) es $= 1 \cdot 10^{-3}$ o durante el cual se detecta una pérdida de señal (LOS), o una señal de indicación de alarma (AIS).</p> <p>4.7 Parámetros de característica de error</p> <p>La característica de error sólo se debe evaluar mientras el trayecto está en el estado de disponibilidad. Para una definición de los criterios de entrada/salida del estado de indisponibilidad, véase el anexo A.</p> <p>4.7.1 tasa de segundos con error (ESR, errored second ratio): Relación entre ES y el total de segundos de tiempo de disponibilidad durante un intervalo de medición fijo. Este parámetro se aplica tanto a los trayectos como a las conexiones.</p> <p>4.7.2 tasa de segundos con muchos errores (SESR, severely errored second ratio): Relación entre SES y el total de segundos de tiempo de disponibilidad durante un intervalo de medición fijo. Este parámetro se aplica tanto a los trayectos como a las conexiones.</p>

Tabla 3: : Eventos de característica de error para conexiones (Fuente: ITU-T G.826)

La Tabla 3: : Eventos de característica de error para conexiones (Fuente: ITU-T G.826) define los parámetros básicos de medición utilizados para caracterizar el desempeño de las conexiones digitales, los objetivos de desempeño los establece la misma recomendación en la Tabla 4: Parámetros de desempeño para sistemas de transmisión (Fuente: ITU-T G.826).

¹⁸ Aplica tanto para sistemas PDH (Plesiochronous Digital Hierarchy) como SDH (Synchronous Digital Hierarchy)

Velocidad	Conexiones	Trayectos				
	64 kbit/s a velocidad primaria (Nota 4)	1,5 a 5 (Mbit/s)	> 5 a 15 (Mbit/s)	> 15 a 55 (Mbit/s)	> 55 a 160 (Mbit/s)	> 160 a 3500 (Mbit/s)
Bits/bloque	No se aplica	800-5000	2000-8000	4000-20 000	6000-20 000	15 000-30 000 (Nota 2)
ESR	0,04	0,04	0,05	0,075	0,16	(Nota 3)
SESR	0,002	0,002	0,002	0,002	0,002	0,002
BBER	No se aplica	2x10 ⁻⁴ (Nota 1)	2 x10 ⁻⁴	2 ?10 ⁻⁴	2 ?10 ⁻⁴	10 ⁻⁴

NOTA 1 – Para los sistemas diseñados antes de 1996, el objetivo de BBER es 3 x10⁻⁴.

NOTA 2 – Como se define actualmente, VC-4-4c (véase la Rec. UIT-T G.707/Y.1322 [3]) es un trayecto de 601 Mbit/s con un tamaño de bloque de 75 168 bits/bloque. Dado que está fuera de la gama recomendada para trayectos a 160-3500 Mbit/s, el funcionario en los trayectos VC-4-4c no debe ser estimado en servicio utilizando este cuadro. El objetivo BBER para VC-4-4c utilizando el tamaño de bloque de 75 168 bits se fija en 4 x10⁻⁴.

Se definen secciones digitales para velocidades binarias superiores y se dan directrices para evaluar la calidad de funcionamiento de las secciones digitales en 7.1 y en una Recomendación relativa a las características de errores de una sección de multiplexaje.

NOTA 3 – Los objetivos ESR pierden importancia en aplicaciones con altas velocidades binarias y, por consiguiente, no se especifican para trayectos que funcionan a velocidades binarias superiores a 160 Mbit/s. No obstante, se reconoce que la calidad de funcionamiento observada de trayectos SDH no tiene esencialmente errores durante largos periodos de tiempo, ni siquiera a velocidades en gigabits. Una ESR significativa indica un sistema de transmisión degradado. Por lo tanto a efectos de mantenimiento, la supervisión ES debe efectuarse sin que ningún dispositivo de medición de la característica de error funcione a esas velocidades.

NOTA 4 – No es necesario aplicar esta Recomendación a las conexiones que funcionan a velocidades binarias inferiores a la primaria y que utilizan equipos diseñados antes de la publicación de esta Recomendación en diciembre de 2002. Los eventos y objetivos de calidad de funcionamiento para las conexiones que utilizan equipos diseñados antes de esta fecha se indican en la Rec. UIT-T G.821 [14].

Tabla 4: Parámetros de desempeño para sistemas de transmisión (Fuente: ITU-T G.826)

Estos objetivos de desempeño deben de cumplirse en un periodo de prueba cuya duración sugerida por la recomendación G.826 es de un mes; Esta duración como periodo de prueba es, en la mayoría de los casos impráctica, por lo que no se su aplicación a los sistemas de telecomunicaciones se limita a la fase de diseño de los equipos; Para la verificación en campo del cumplimiento de los parámetros que establece la recomendación G.826, se aplican criterios de la recomendación **M.2100** que considera periodos de prueba más cortos¹⁹, con objetivos de desempeño que son calculados para garantizar que los sistemas instalados cumplan con lo estipulado por la G.826.

¹⁹ La recomendación establece Objetivos de desempeño para periodos de prueba de 4, 8, 24 hr.

2.6 Medición del desempeño de sistemas de transmisión síncronos

En esta sección hablaremos de algunas de las técnicas utilizadas para la medición del desempeño basadas en los parámetros definidos en la sección anterior.

Una de las técnicas más usadas en la medición de errores de bit²⁰. Esto se logra haciendo uso de patrones conocidos, los cuales son evaluados por el receptor para determinar si el bit recibido es erróneo o no.

Aunque es útil la aplicación de patrones basados en palabras de 8 bits, es muy común el uso de patrones basados en la recomendación O.150 [10], la cual establece algunas de las características de los equipos de medición. Esta recomendación sugiere el uso de patrones pseudo-aleatorios de diversas longitudes²¹

Para la velocidad que nos ocupa en este trabajo (2.048 Mbits/s) el patrón recomendado es el denominado $2^{15}-1$, el cual se genera por medio de una serie de registros de desplazamiento conectados en serie, con las salidas de los registros 14 y 15 sumadas (con un sumador modulo 2), y su resultado es retro-alimentado a la entrada del primer registro. La Figura 5: Generador de patrón $2^{15}-1$ nos muestra un esquema de un generador de patrón pseudo-aleatorio de $2^{15}-1$

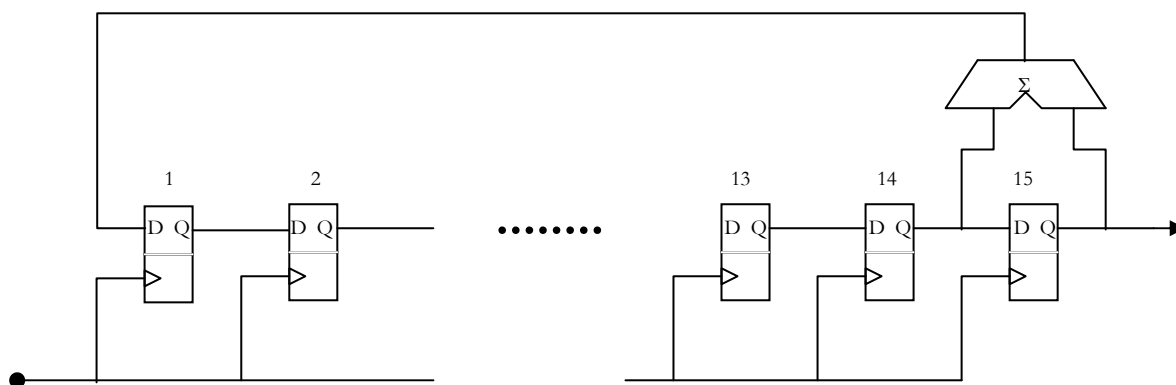


Figura 5: Generador de patrón $2^{15}-1$

²⁰ En la medición de los errores de bit, se basa el cálculo de todos los parámetros de desempeño de los sistemas de transmisión digital

²¹ La longitud del patrón por lo general será más larga conforme aumenta la velocidad de transmisión ver O.150 UIT

Capítulo

3

3. Diseño del Analizador de Patrones

En este capítulo abordaremos el diseño del prototipo, lo que involucra tres aspectos fundamentales:

- a) El diseño conceptual, dentro del cual se planteó una arquitectura de Hardware, así como el esquema de comunicaciones con la computadora. En esta fase se establecen los lineamientos y especificaciones básicas para el desarrollo del proyecto.
- b) El diseño del Hardware es la interfase computadora-equipo de comunicaciones, que cuenta con la capacidad de generar el patrón de prueba, la señal de salida y permite la lectura y decodificación de la señal de recepción.
- c) La interfaz gráfica es la herramienta de software que se desarrolló para permitir la programación, operación y recuperación de los resultados del obtenidos por el hardware.

3.1 Diseño Conceptual

El proyecto fue desarrollado tomando como base la arquitectura mostrada en la configuración de la Figura 6: Esquema del Analizador de patrones.

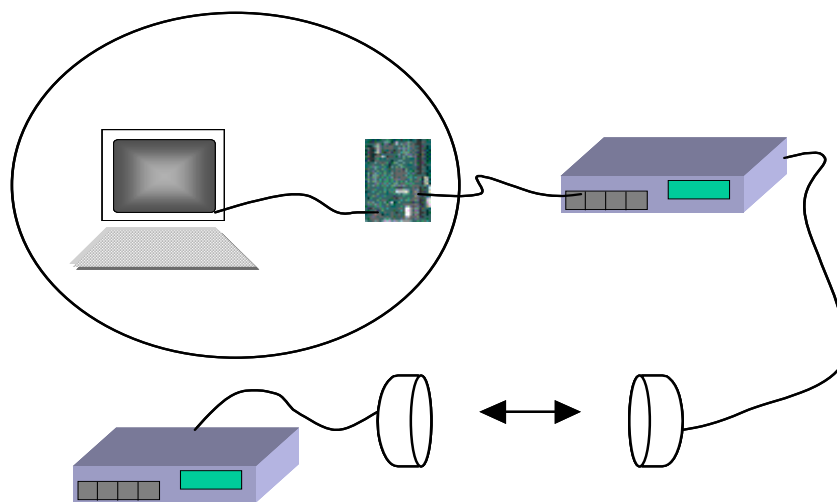


Figura 6: Esquema del Analizador de patrones

Como se muestra en la Figura 6: Esquema del Analizador de patrones, el sistema está formado por dos componentes fundamentales: Una tarjeta de Hardware y una interfaz gráfica la cual corre en una computadora, la cual cuenta con un puerto de comunicaciones del tipo RS-232. Cada componente se describe en detalle a continuación

3.2 Diseño del Hardware

El hardware está formado por una tarjeta basada en FPGA, dentro de la cual se implementó una arquitectura como la que muestra la Figura 7: Arquitectura de hardware, que realiza las siguientes funciones:

- Generación de señales de reloj
- Interfaz de comunicaciones con la Computadora
- Bloque de contadores y registros para configuración
- Generación de patrones
- Generación de trama E1
- Interfaz tipo E1 para el equipo de comunicaciones bajo prueba
- Codificador HDB3
- Decodificador HDB3
- Recuperación de Trama E1
- Probador de Errores

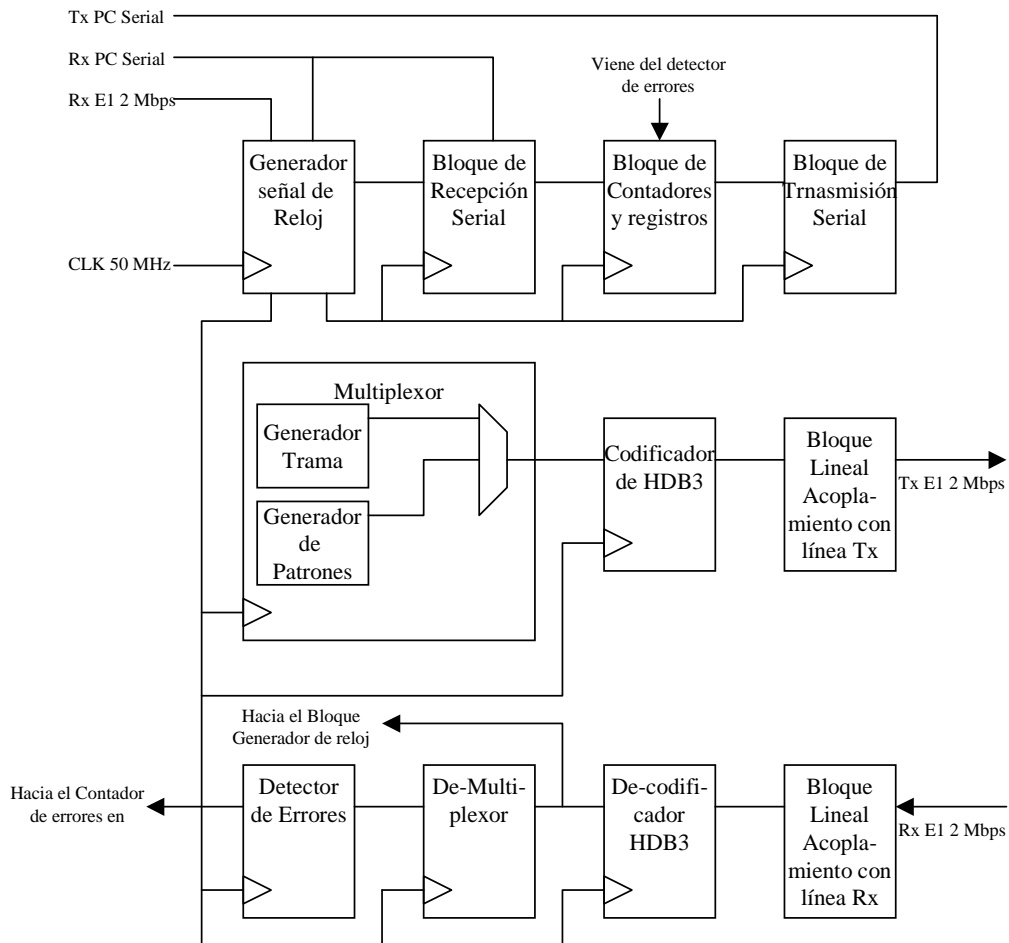


Figura 7: Arquitectura de hardware

Esta arquitectura se describe en los párrafos siguientes

3.3 Descripción del Hardware (FPGA)

El hardware se implementó sobre una tarjeta de desarrollo Xilinx la cual utiliza un chip FPGA modelo Spartan-2A, que cuenta con una diversidad de recursos tales como:

- Puertos seriales por medio de un chip UART
- Interruptores deslizables
- Botones de pulso momentáneo
- Bloque de 8 LED's
- Sistema de Reloj local

f) Fuente de alimentación

Entre algunos otros recursos los cuales no mencionaremos pues no se utilizaron, ni son material de discusión de este trabajo.

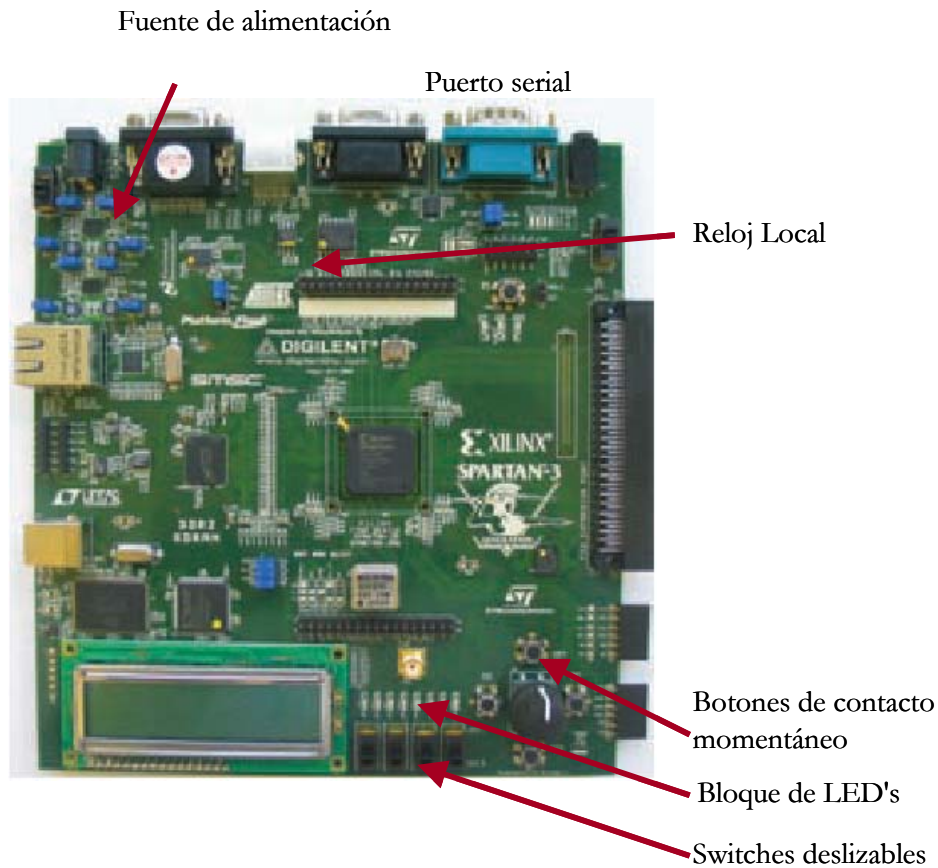


Figura 8: Tarjeta de desarrollo Xilinx

La programación de la tarjeta se efectuó por medio del software ISE de Xilinx versión 9.2, el cual cuenta con un ambiente de desarrollo y diversas capacidades tales como:

- Desarrollo los sistemas lógicos en varios lenguajes como VHDL, Verilog, Esquemáticos y máquinas de estado.
- Herramientas para la programación del chip por medio del puerto USB y paralelo.
- El software cuenta con bibliotecas de componentes lógicos los cuales están disponibles para su uso dentro del ambiente.

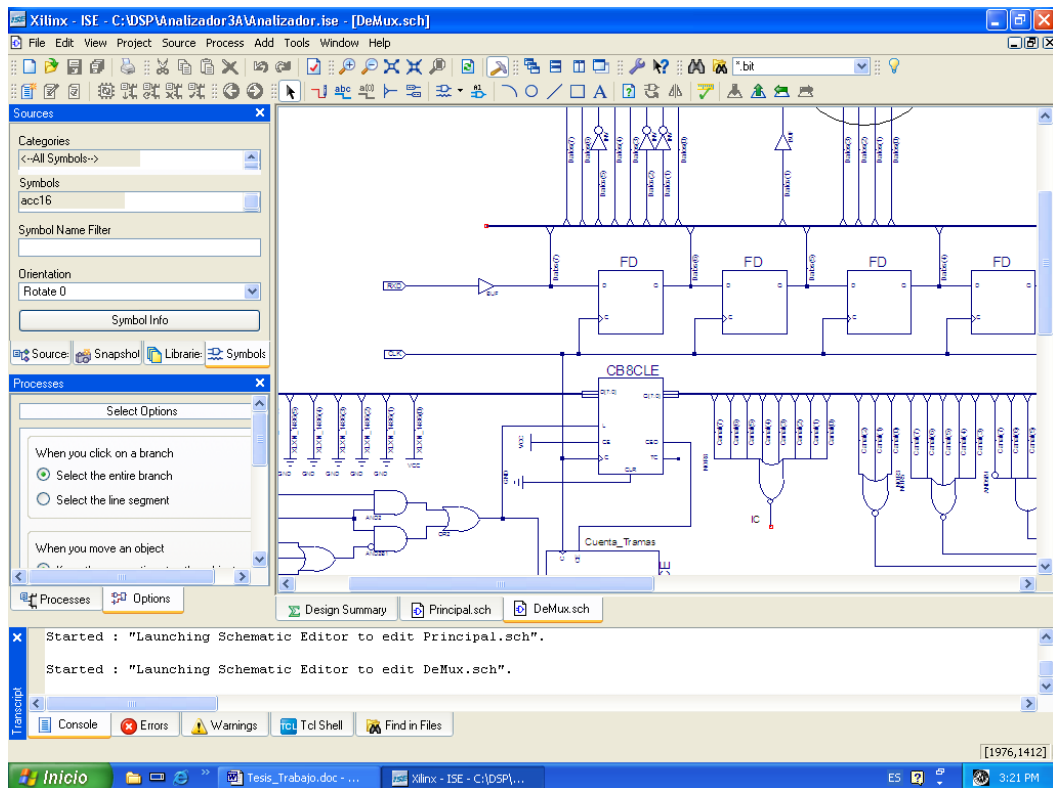


Figura 9: Ambiente de desarrollo Xilinx

Los bloques que conforman el hardware se describen a continuación

3.3.1 Generación de señales de reloj

El bloque de Generación de señales de reloj, utiliza la señal de 50 MHz que se produce por el sistema local de la FPGA. Este bloque produce diversas señales por medio de la utilización de contadores síncronos que se emplean para sintetizar señales de diversas frecuencias, que se utilizan para coordinar cada proceso que se ejecuta dentro del sistema, las señales de reloj que se requieren son:

- a) Señales de sincronía de 9600 Hz para el puerto de comunicaciones serial (esto es para establecer comunicaciones con la PC por medio del puerto serial RS-232). Se deben generar 2, una de ellas es recuperada de la señal de datos que se recibe del puerto de comunicaciones seriales. El otro, es una señal de reloj local, utilizada para el envío de información hacia la PC.
- b) Señal de reloj de 1 segundo para el contador de fecha, el cual se ha implementado dentro del bloque de contadores y registros, para un reloj de tiempo real en la tarjeta. Esta señal es también utilizada para el temporizador que es utilizado para establecer tiempos de prueba predefinidos. Ambos parámetros son accesibles y programables desde la interfaz de usuario.

- c) Señales de sincronía de 2.048 MHz para el la interfaz E1. Se deben generar 2, una de ellas es recuperada de la señal de datos que se recibe de la Interfaz E1. El otro, es una señal de reloj local, utilizada para la temporización de la señal de transmisión hacia la interfaz E1.

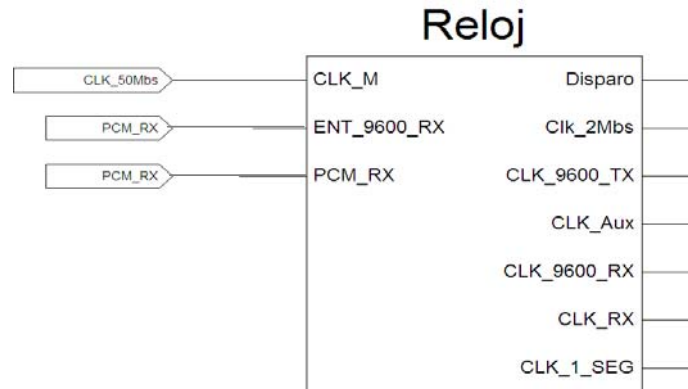


Figura 10: Bloque Generador de Reloj

La Figura 10: Bloque Generador de Reloj, muestra el bloque encargado de suministrar al analizador con todas las frecuencias de reloj necesarias para su correcta operación, la

Figura 11: Estructura interior del Bloque e reloj, muestra un esquema en detalle del bloque anterior. La Tabla 5: Terminales de Bloque de Generación de Reloj, describe las terminales del bloque.

Terminal	Tipo E/S	Descripción
CLK_M	E	Entrada de reloj principal de 50 MHz
ENT_9600_RX	E	Entrada de datos de la interfase serial RS-232
PCM_RX	E	Entrada de datos de la interfase E1
Disparo	S	No Usada
Clk_2Mbs	S	Salida de 2.048 MHz
CLK_9600_TX	S	Salida de reloj para Transmisión por puerto serial
CLK_RX	S	Salida de reloj de Recepción por puerto serial
CLK_1_SEG	S	Salida de Frecuencia de reloj de 1 segundo

Tabla 5: Terminales de Bloque de Generación de Reloj

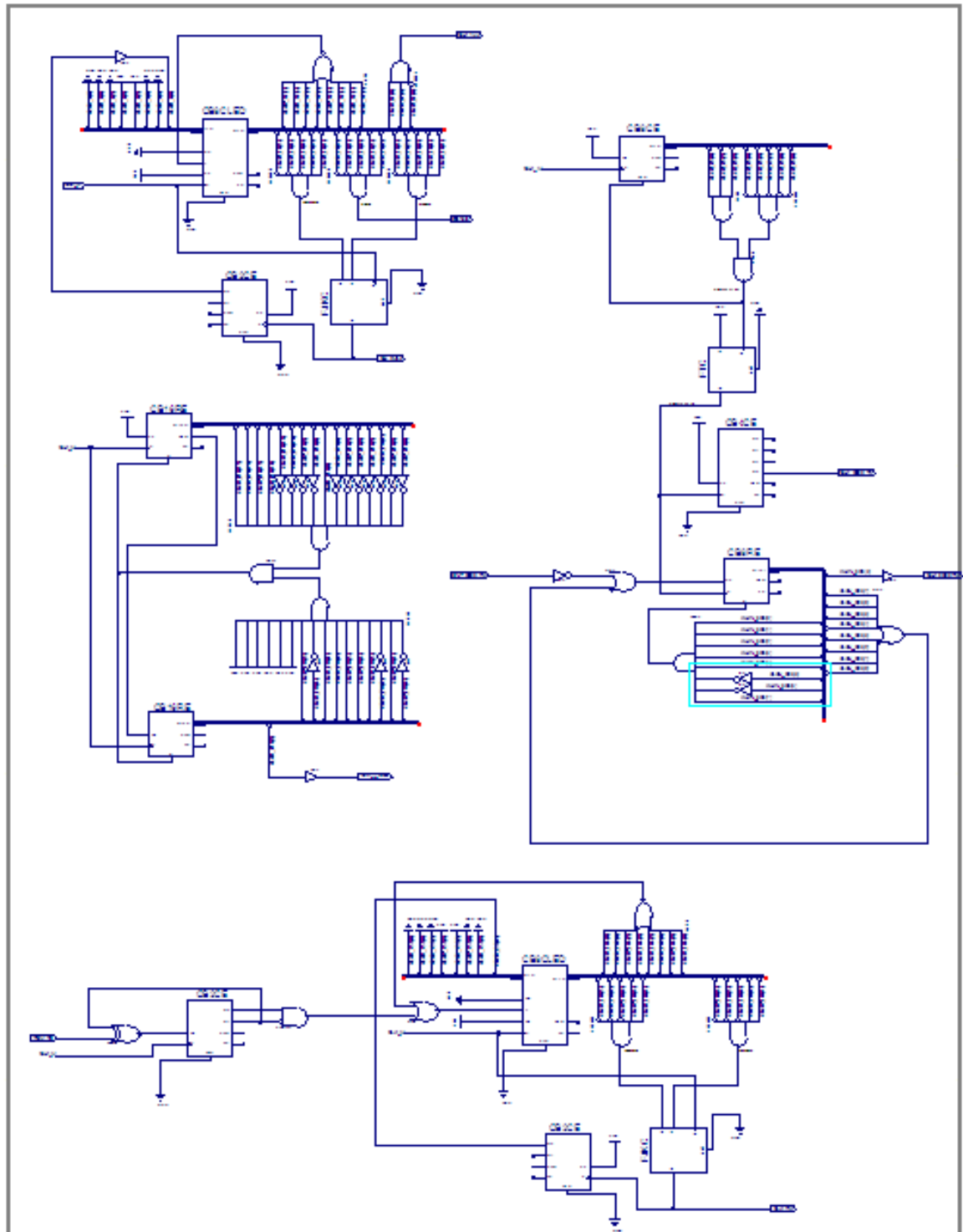


Figura 11: Estructura interior del Bloque e reloj

3.3.2 Interfaz de comunicaciones con la Computadora

El la comunicación con la interfaz con la PC, se realiza a través de un chip UART²² y por medio de 2 bloques:

- a) Bloque de Recepción Serial. Procesa la señal que se recibe de la PC a través del chip UART, y la entrega por medio de un bus en paralelo de 8 bits al bloque de registros y contadores para efectos de programación del Analizador.
- b) El bloque serializador. Este bloque recibe datos en paralelo del bloque de registros a través de un multiplexor. Este bloque lo envía, en serie al chip UART integrado en la tarjeta que es la interfaz con el puerto serial RS-232 hacia la PC.

Aunque este modo de comunicaciones, permite una gran flexibilidad en lo que respecta a velocidades, formato de los datos y de técnicas de control de flujo, para nuestra aplicación solo usaremos una configuración fija como sigue:

- a) Velocidad : 9600 Bps
- b) Numero de bits de datos: 8
- c) Bits de parada: 1
- d) Paridad: Ninguna
- e) Control de flujo: Ninguno

Esta es la configuración que la interfaz gráfica utilizará para establecer comunicación con el hardware. La Figura 12: Interfase de Comunicaciones con la computadora, muestra un esquema del sistema de comunicaciones seriales y la Figura 13: Estructura Interior del Bloque Ser_Par_Registros, el detalle del bloque desarrollado. Las terminales del bloque se describen el la Tabla 6: Descripción de terminales del Bloque Ser_Par_Registros

²² Por las signa en inglés de Universal Asynchronous Receiver Transmitter . el cual es un chip utilizado para establecer comunicaciones sobre puertos seriales RS-232.

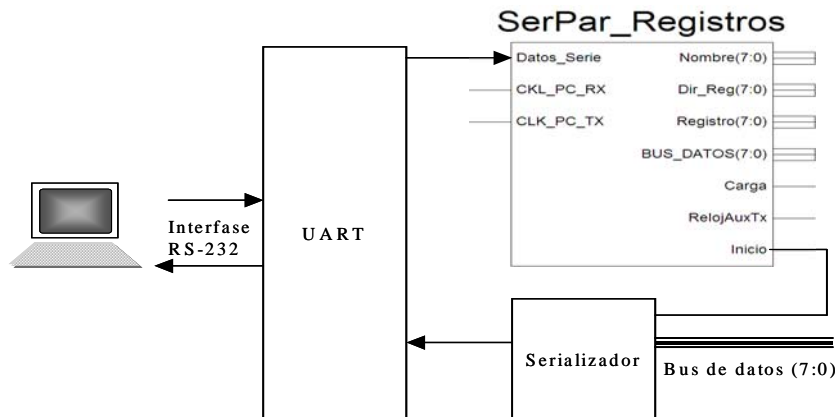


Figura 12: Interfase de Comunicaciones con la computadora

Terminal	Tipo E/S	Descripción
Datos_Serie	E	Entrada de datos provenientes de la PC
CLK_PC_RX	E	Señal de reloj extraída de la señal de recepción de la interfase serial proveniente de la PC, y requerida para la lectura de datos de la trama Datos_Serie
CLK_PC_TX	E	Entrada de señal de reloj para la transmisión de datos hacia la PC
Nombre	S	Bus que muestra los datos del opcode de la instrucción (solo se muestra mientras esté presente una operación de escritura o lectura)
Dir_Reg	S	Indica la dirección del Registro/Contador a Ser Leído/Cargado
Registro	S	No usado
BUS_DATOS	S	Muestra los datos en paralelo que llegan de la PC a través
Carga	S	Salida que entrega un pulso cada vez que datos a ser leídos en BUS_DATOS
Reloj_Aux	S	No usado
Inicio	S	Le indica al Serializador que tiene un dato en el Bus de Datos a transmitir en serie a la PC, para inicial cargar el dato y transmitirlo

Tabla 6: Descripción de terminales del Bloque Ser_Par_Registros

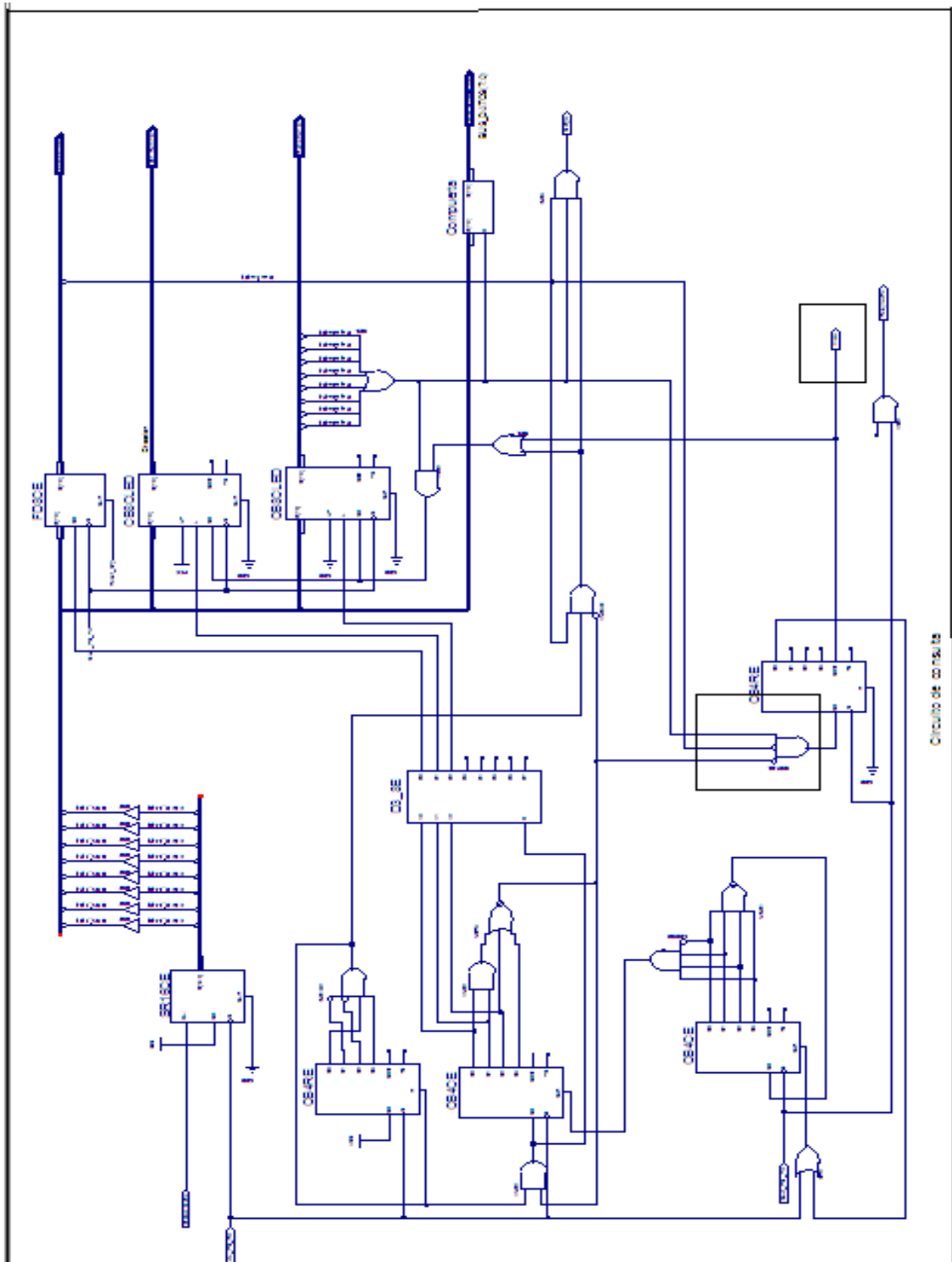


Figura 13: Estructura Interior del Bloque Ser_Par_Registros

3.3.3 Bloque de contadores y registros para configuración

Este bloque está formado por un conjunto de contadores y registros que se utiliza para diversos propósitos como a continuación se describe:

- a) Contadores para Fecha y Hora de tiempo real. Este conjunto está formado por cuatro contadores ascendentes programables, los cuales cuentan pulsos provenientes de la señal de reloj de un segundo, estos pulsos pasan antes por un divisor (entre 60^{23}) y después son contados por los cuatro contadores de 8 bits los cuales mantienen un registro de fecha/hora de tiempo real en el interior del Analizador. El propósito principal de este contador de fecha/hora es el de poder enviar información de tiempo junto con datos de eventos de errores a la PC para efectos de análisis posterior. Esta parte de la aplicación esta más allá del alcance de este trabajo de tesis.
- b) Contadores para temporizador. Este es un conjunto de 4 contadores que, al igual que los anteriores, cuenta pulsos de reloj de un segundo, pero con un propósito diferente: El permitir establecer periodos de prueba programable por el usuario: el rango disponible de programación de este temporizador está en minutos y puede ir desde 00:01 minuto hasta 99:59 (99 horas con 59 minutos). La programación de estos contadores es accesible al usuario desde la Interfaz Gráfica.
- c) Contador de errores: Este conjunto de 4 contadores, se utiliza para el conteo de los eventos de error generados, al detectar desviaciones en el patrón recibido por la interfase E1 del analizador. Cada error ó desviación de cada BIT respecto al patrón seleccionado, incrementa el valor de este contador. Estos son contadores no son programables pero se re-inician cada vez se pone en marcha un periodo de prueba.
- d) Registros de configuración: Estos registros se utilizan para ajustar parámetros de prueba al analizador, tales como: Patrón de prueba, el cual puede ser seleccionado entre un patrón pseudo-aleatorio de $2^{15}-1$ bits de longitud o una palabra de 8 bits, esta palabra es producida por la Interfaz Gráfica. Otros parámetros programables son la palabra de prueba y el canal a visualizar en el arreglo de LEDs de la tarjeta.

La Figura 14: Organización del Bloque de Contadores y Registros para Configuración, muestra el arreglo lógico del bloque

²³ Para generar un pulso por minuto

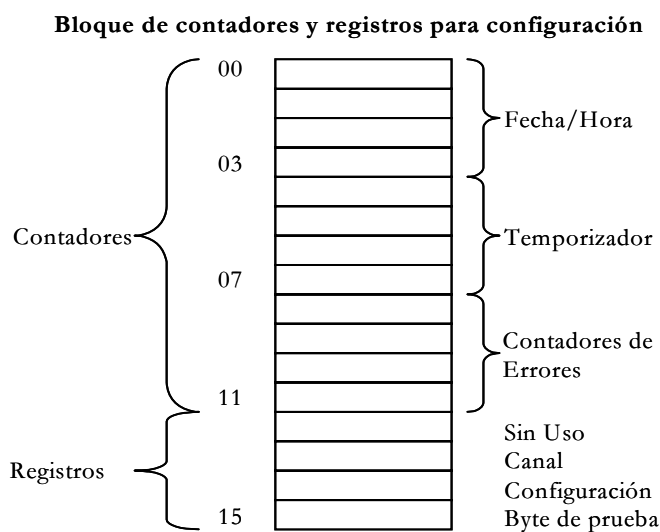


Figura 14: Organización del Bloque de Contadores y Registros para Configuración

3.3.4 Generación de patrones

El analizador cuenta con dos tipos de patrón de prueba:

- Patrón de prueba pseudo-aleatorio de $2^{15}-1$ de longitud [10], el cual es generado por medio de un generador como el mostrado en el apartado 1.6.
- Palabra de prueba, la cual es programable desde la interfaz de usuario y es guardada en el Registro 15 denominado Byte de Prueba (ver Figura 14: Organización del Bloque de Contadores y Registros para Configuración)

La selección del patrón de prueba es accesible al usuario por medio de la interfaz gráfica y es cargada en el registro de configuración en los bits 0 y 1. La Tabla 7: Selección de patrón de prueba muestra el modo de selección del patrón de prueba, por medio de la configuración de los bits 0 y 1 del registro de configuración.

Decimal	BIT 1	BIT 2	Patrón
0	0	0	$2^{15}-1$
1	0	1	Byte
2	1	0	Aplicación Futura
3	1	1	Aplicación Futura

Tabla 7: Selección de patrón de prueba

3.3.5 Generación de trama E1

Una de las funciones que realiza el bloque multiplexor es la generación de la trama, la cual consiste en integrar todas las señales que en un flujo de datos estructurados de acuerdo con lo especificado por las recomendaciones internacionales, la cual incluye una palabra de sincronía tal como se menciona en el apartado 1.2.

Este bloque inserta en las tramas pares la palabra de sincronía en la ranura de tiempo 0, la cual esta formada por los bits 1 a 8 de la trama de 256 bits [7]. Del mismo modo, inserta un “1” lógico en el BIT 2 de la ranura de tiempo 0, dentro de las tramas impares.

Adicionalmente, si es requerido por el usuario, pueden insertarse 4 bits en la ranura de tiempo 15 para la alineación de multi-trama (MFAS) [7]. Esto es configurable desde la interfaz de usuario y se ajusta por medio del BIT 2 en el Byte de configuración del bloque de contadores y registros de configuración.

La Figura 15: Bloque Multiplexor muestra el bloque funcional y la Figura 16: Estructura interior de Bloque Multiplexor muestra su configuración, La Tabla 8: Descripción de terminales de Bloque Multiplexor, describe su operación

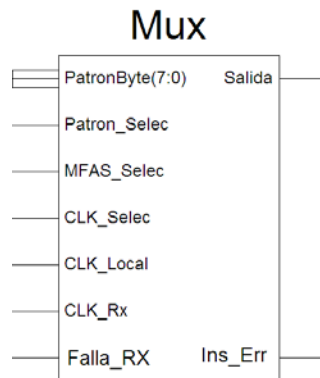


Figura 15: Bloque Multiplexor

Terminal	Tipo E/S	Descripción
PatronByte	E	Bus de 8 bits con el byte patrón. Se conectad con el bloque de Contadores y Registros
Patron_Select	E	Permite seleccionar el patrón de operación: 0 utiliza patrón pseudo-aleatorio $2^{15}-1$, 1 para patrón de byte (presente en PatronByte)
MFAS_Select	E	Determina si se usa o no MFAS
CLK_Select	E	Selecciona el modo de reloj de transmisión: 0 usa reloj Local (CLK_Rx), 1 usa reloj recuperado (CLK_Local).
CLK_Local	E	Entrada de reloj de 2.048 MHz, generado localmente
CLK_Rx	E	Entrada de reloj recuperado de la recepción de la interfaz E1
Falla_Rx	E	No usada
Salida	S	Salida Serial de datos
Ins_Err	E	Permite insertar errores al generador de patrones

Tabla 8: Descripción de terminales de Bloque Multiplexor

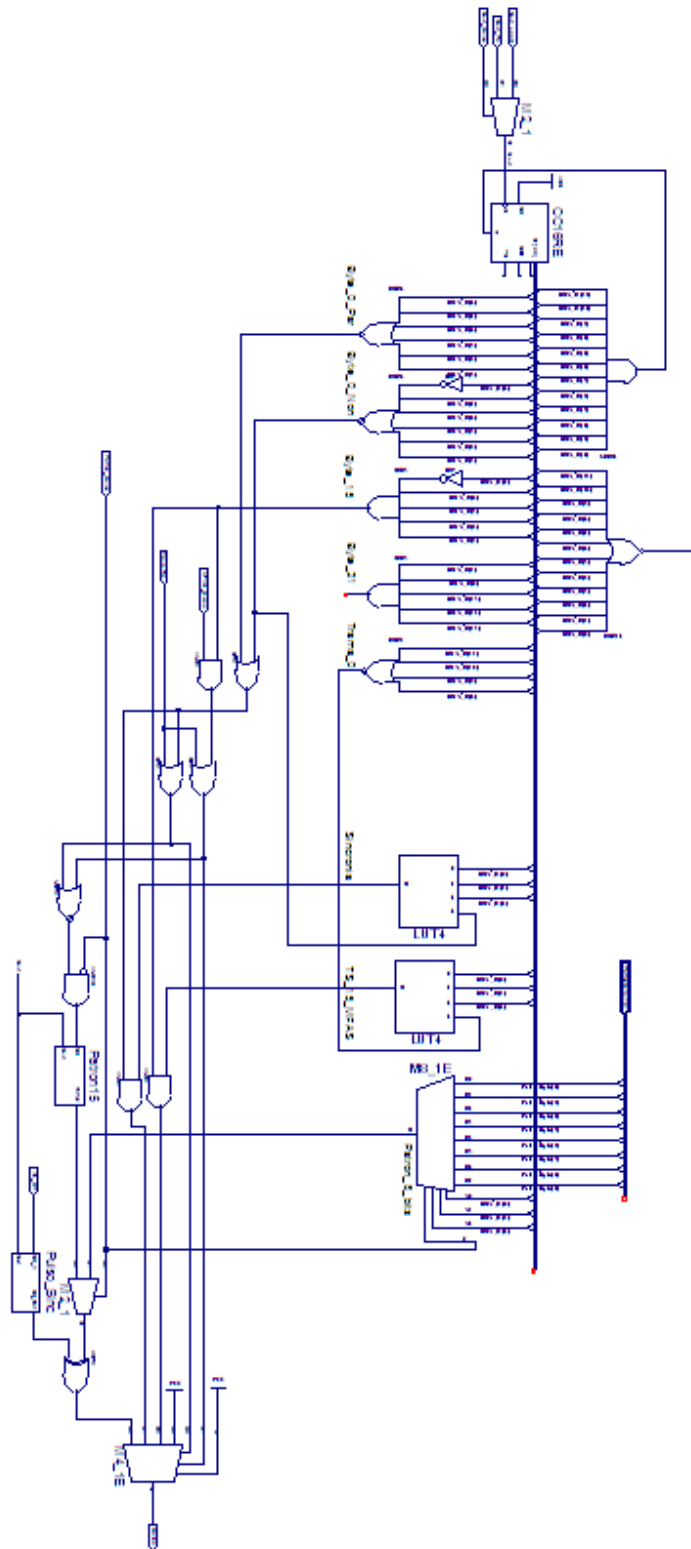


Figura 16: Estructura interior de Bloque Multiplexor

3.3.6 Codificador HDB3

Una vez generada la trama, el flujo de datos es entregado al codificador HDB3 [10] el cual debe de insertar marcas cada vez que la el flujo de datos contiene secuencias que contienen más de cuatro “0’s” consecutivos. Este bloque debe de ser capaz de entregar una señal bipolar y acoplarla a una línea de transmisión de 120 ó 75 ohms [6], sin embargo, esto lleva a la necesidad de que, a nivel digital, la señal sea separada en 2 (arbitrariamente denominadas A y B) como se muestra en la

Figura 17: Codificador HDB3, una para cada polaridad; Esto con el propósito de procesarla posteriormente con un circuito lineal para hacer posible su acoplamiento a la línea de transmisión, el cual constituirá la interfaz de transmisión tipo E1. La descripción de las terminales de este bloque aparece en la Tabla 9: Descripción de terminales del codificador HDB3. La

Figura 17: Codificador HDB3 muestra el bloque y la Figura 18: Estructura interna del Codificador HDB3 los detalles de éste.



Figura 17: Codificador HDB3

Terminal	Tipo E/S	Descripción
Datos	E	Datos seriales a transmitir (del multiplexor)
CLK	E	Entrada de reloj de 2MHz
A, B	S	Salidas digitales para cada polaridad, estas señales deben ser procesadas por un circuito lineal para producir una sola señal bi-polar

Tabla 9: Descripción de terminales del codificador HDB3

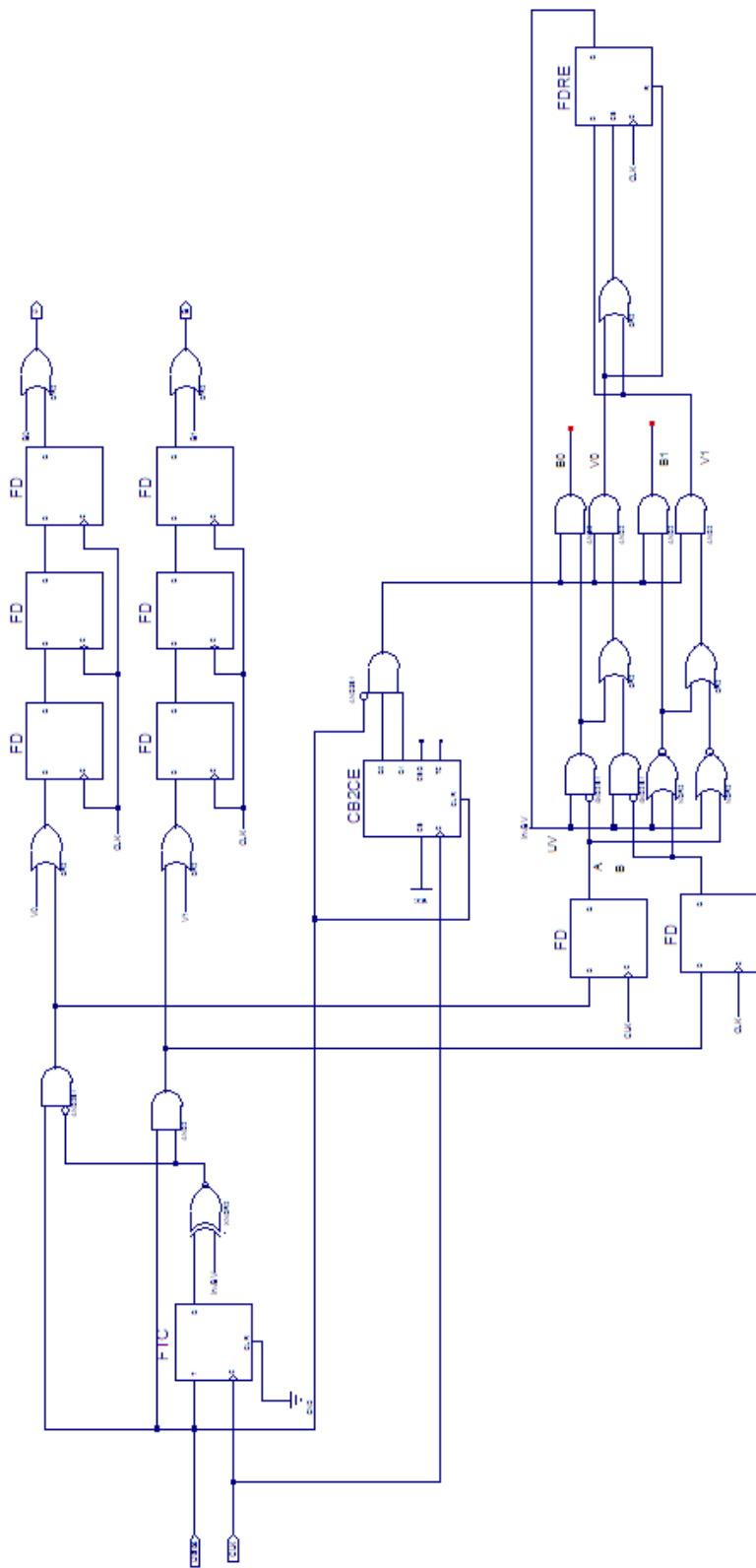


Figura 18: Estructura interna del Codificador HDB3

3.3.7 Interfase tipo E1 (2.048 Mbps)

La Figura 19: Circuito de acoplamiento de señal hacia línea de transmisión muestra un circuito con el cual es factible obtener la señal bipolar deseada para conectarla con la línea de transmisión. Este circuito estará más allá del alcance de este trabajo de tesis.

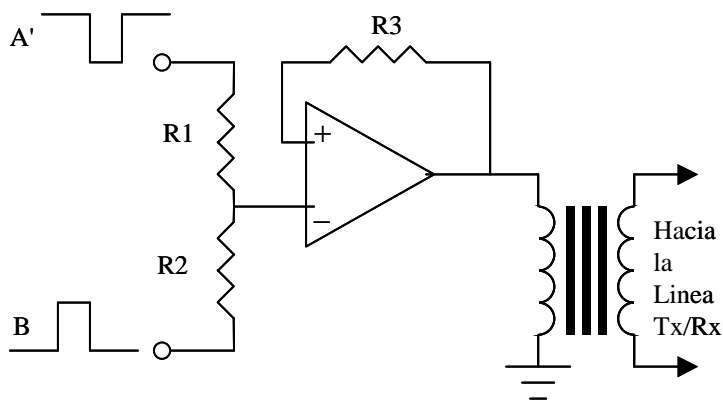


Figura 19: Circuito de acoplamiento de señal hacia línea de transmisión

De modo inverso, el circuito de recepción deberá de poder separar la señal en dos, una para cada polarización para poder alimentar el decodificador HDB3. esto es posible hacerlo con un circuito semejante a un rectificador que además realice un acondicionamiento de la señal para su procesamiento digital

La Figura 20: Circuito de acoplamiento de Recepción, muestra una propuesta para el circuito de recuperación de la señal de la interfaz E1, y su separación en dos señales digitales para su procesamiento digital posterior por el decodificador.

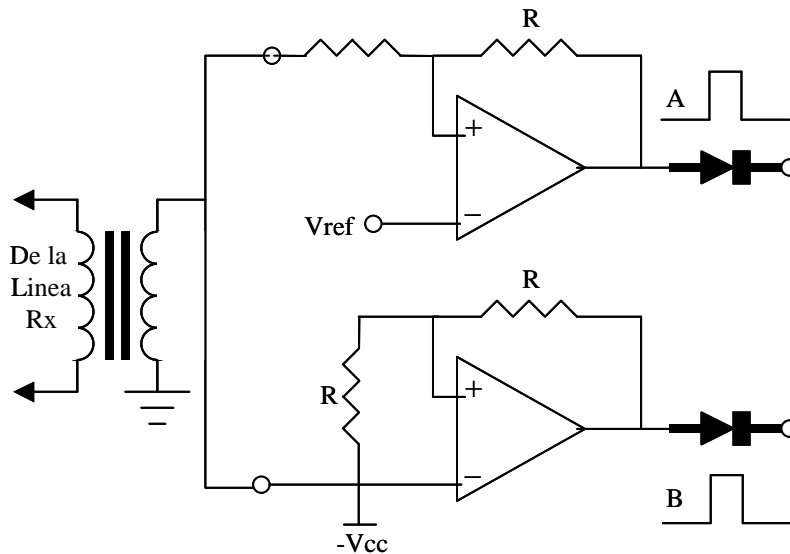


Figura 20: Circuito de acoplamiento de Recepción

El circuito de recepción, entrega a la salida 2 señales digitales, una por cada polaridad, la cual se somete procesamiento posterior para recuperar la señal de sincronía y la información contenida en ella.

Es importante hacer notar que ambos circuitos terminan en un acoplamiento inductivo. Esto no sólo es un requerimiento establecido en la recomendación G.703 [6], sino también permite mantener aislamiento eléctrico entre los circuitos de los equipos electrónicos y los cables de transmisión, lo que favorece al sistema al evitar retornos de corriente por diferencias de potencial entre equipos, esto es especialmente importante sobre todo cuando se conectan equipos que se encuentran en edificios distantes, debido a que no es técnicamente posible asegurar potenciales de nivel de tierra equivalentes en ambos lugares.

3.3.8 Decodificador HDB3

Este bloque se encarga de identificar todas las violaciones bipolares que el transmisor insertó, para evitar largas cadenas de "0", con el propósito de reemplazarlas por la cantidad de "0" equivalente [6]. El decodificador está formado por una máquina de estados la cual está observando constantemente ambas líneas digitales y, basados en las condiciones de esta máquina, reemplaza cada violación con un cadena de 3 ó 4 "0" consecutivos.

Las reglas que utiliza para el reemplazo de cadenas son como siguen:

- La primer cadena con violación bipolar detectada es reemplazada por la cadena "000"
- Se cuentan los bits de datos desde la ultima violación, si este número es par, entonces la siguiente cadena con violación bipolar es reemplazada por la cadena "000".
- Si el número de bits de datos es non, la siguiente cadena con violación bipolar es reemplazada por "0000".

La Figura 21: Decodificador HDB3, muestra el bloque del decodificador HDB3 y la Tabla 10: Descripción de terminales de bloque Decodificador HDB3 sus terminales.

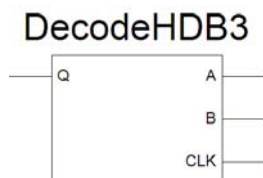


Figura 21: Decodificador HDB3

Terminal	Tipo E/S	Descripción
Q	S	Datos seriales de recepción
CLK	E	Entrada de reloj de 2MHz
A, B	S	Entradas digitales para cada polaridad, estas señales son entregadas después de ser procesadas por un circuito lineal para producir una 2 señales digitales a partir de una sola señal bi-polar

Tabla 10: Descripción de terminales de bloque Decodificador HDB3

3.3.9 Sincronización de Trama E1

Esta función la realiza el demultiplexor, buscando la palabra de sincronía tal como se define en la Tabla 1: Cuadro 5A/G.704 – Asignación de los bits de la trama numerados del 1 al 8 del apartado 1.2 [6].

La recomendación ITU G.706²⁴ [8], establece procedimientos para el alineamiento de la trama de señales PCM, en él, se indica que para hacer posible la sincronización de una señal PCM debe de ocurrir los siguientes eventos:

- Debe de ser detectada la palabra de sincronía según muestra en la Figura 22: Palabra de sincronía de trama de 2 Mbps para la trama par
- Después de lo anterior, debe detectarse un “1” en el bit 2 del TS-0
- Finalmente debe de detectarse una vez más la palabra de sincronía en el TS-0 (trama par)

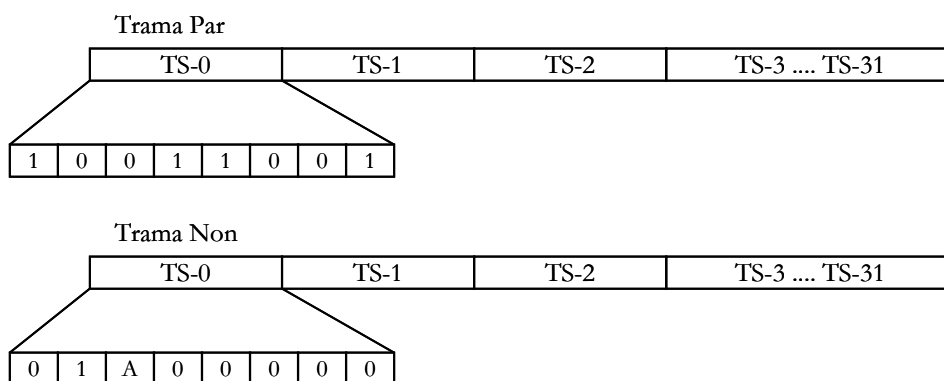


Figura 22: Palabra de sincronía de trama de 2 Mbps

La Figura 23: Bloque demultiplexor, muestra la configuración del demultiplexor y la Tabla 11: Descripción de terminales de Bloque demultiplexor, las señales de entrada y salida del bloque.

²⁴ Procedimientos de alineación de trama y de verificación por redundancia cíclica (vrc) relativos a las estructuras de trama básica definidas en la recomendación G.704

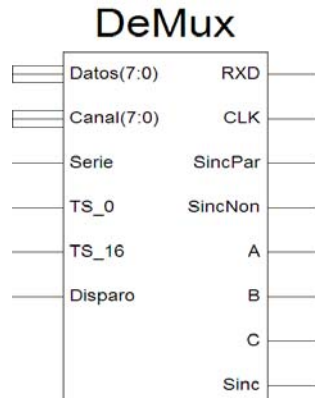


Figura 23: Bloque demultiplexor

Terminal	Tipo E/S	Descripción
Datos	S	Bus de datos de 8 bits que muestra la información de las ranuras de tiempo (TS's)
Canal	S	Bus de 8 bits que indica (en bits 3 a 7) el canal denotado por el número de la ranura de tiempo (TS), en el se pueden direccionar hasta 32 ranuras de tiempo (TS), cada una corresponde a un canal individual.
Serie	S	Entrega la información recibida en serie
TS_0	S	Señal que va a nivel alto ("1" lógico) cuando la información del TS-0, está presente en el bus Datos
TS_15	S	Señal que va a nivel alto ("1" lógico) cuando la información del TS-15, está presente en el bus Datos
Disparo	S	Señal que va a nivel alto cada vez que un dato está listo en el bus Datos
RXD	E	Entrada de datos seriales de recepción
CLK	E	Entrada de reloj de 2.048 MHz
SincPar	S	No usado
SincNon	S	No usado
A, B, C	S	No usado
Sinc	S	Señal que va a nivel alto cuando el Analizador está en sincronía con la señal de entrada

Tabla 11: Descripción de terminales de Bloque demultiplexor

3.3.10 Detector de Errores

Este bloque es utilizado para detectar cuándo, un BIT recibido por el analizador, es erróneo o no. Esta función se realiza comparando la cadena de bits contra el patrón transmitido, cada desviación al patrón, se interpreta como un error y se registra en el contador de errores, contenido dentro del bloque de contadores y registros de configuración.

Debido a que el Analizador puede operar con dos (o más) patrones distintos, según las preferencias del operador, es necesario que el detector de errores sea capaz de reconocer errores basados en el patrón configurado en el analizador. Esto lleva a la necesidad de contar con un número de detectores de errores como patrones puede utilizar el Analizador

Este analizador tiene la capacidad de operar con patrones de 8 bits (configurado en el registro de configuración 15 denominado Byte de prueba).

El patrón es opción es configurable por medio de los bits 0 y 1 del registro de configuración, y accesible al operador por medio de la interfaz gráfica.

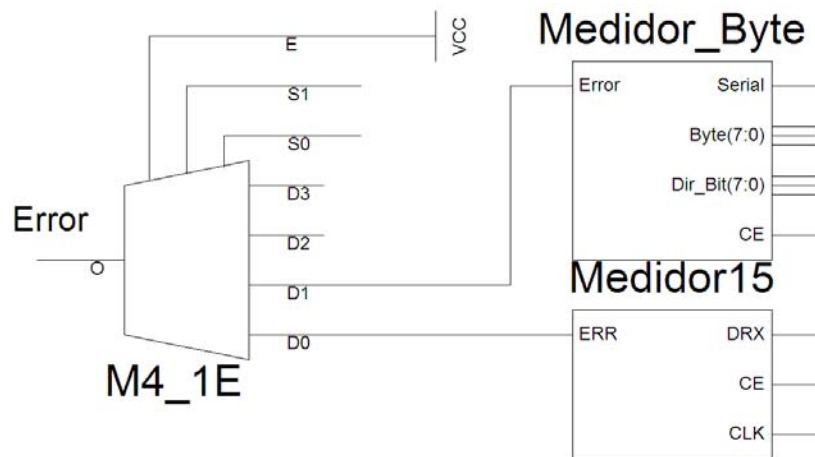


Figura 24: Bloque detector de Errores

Como puede verse en la Figura 24: Bloque detector de Errores, éste consiste de 2 medidores: Uno de ellos es utilizado para la detección de errores mientras se utiliza el patrón $2^{15}-1$; El otro es utilizado para detectar errores, cuando se utiliza un patrón de byte. La Tabla 12: Descripción terminales de detector de Errores, describe las terminales del bloque.

Terminal	Tipo E/S	Descripción
Serial		Entrada de datos seriales
Byte		Bus de entrada de 8 bits con el byte usado como patrón
Dir_Bit		Bus de entrada que indica el bit del byte patrón para ser comparado con el byte “esperado”
CE		Habilitador de bloque
DXR		Datos seriales de recepción
CLK	E	Entrada de reloj de 2 MHz
S0, S1	E	Selección de patrón analizado
Err	S	Señal que va a “1” cuando ocurre un error

Tabla 12: Descripción terminales de detector de Errores

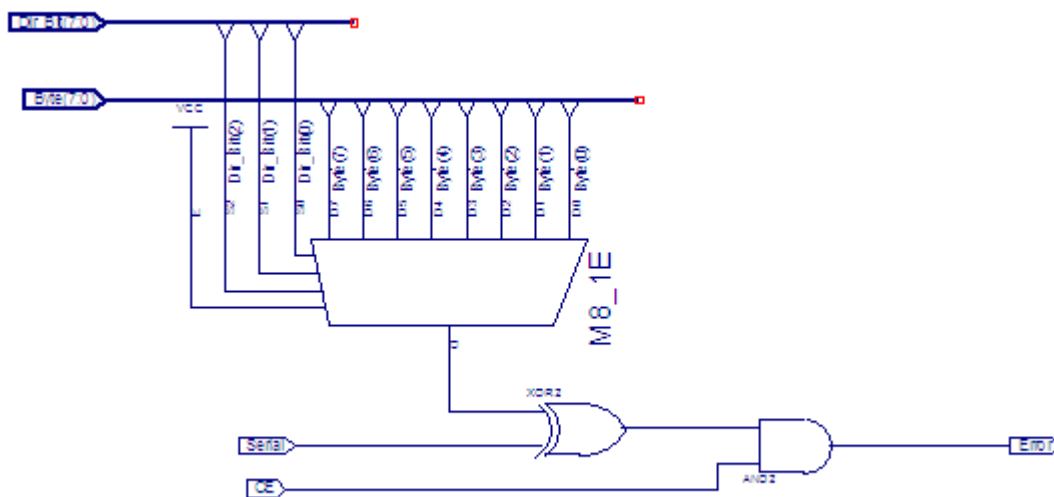


Figura 25: Estructura interna de Medidor_Byte

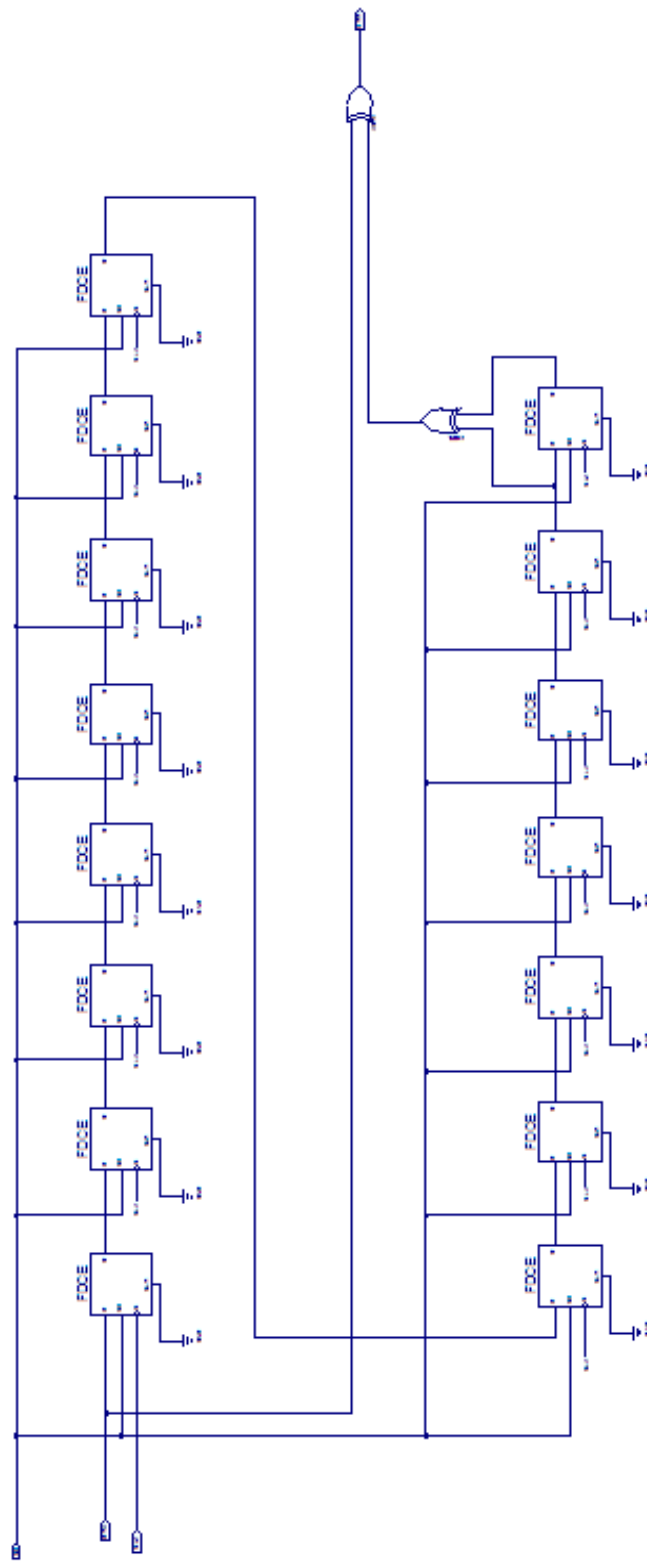


Figura 26: Estructura interna del bloque Medidor 15

3.4 Diseño de la interfaz Gráfica

La interfaz gráfica debe cubrir los siguientes requerimientos:

- Contar con campos para desplegado de resultados
- Capacidad para la configuración del analizador
- Comandos para puesta en marcha de periodos de prueba
- Campos para mostrar el estado del analizador
- Comunicación bi-direccional con el Analizador
- Inserción de errores de prueba

Cada una de estas funciones tiene como propósito establecer una interfaz hombre-maquina amigable y el evitar en lo posible la configuración errónea del analizador.

A continuación se describe la pantalla de la interfaz mostrando los aspectos más relevantes relativos al modo de operación.

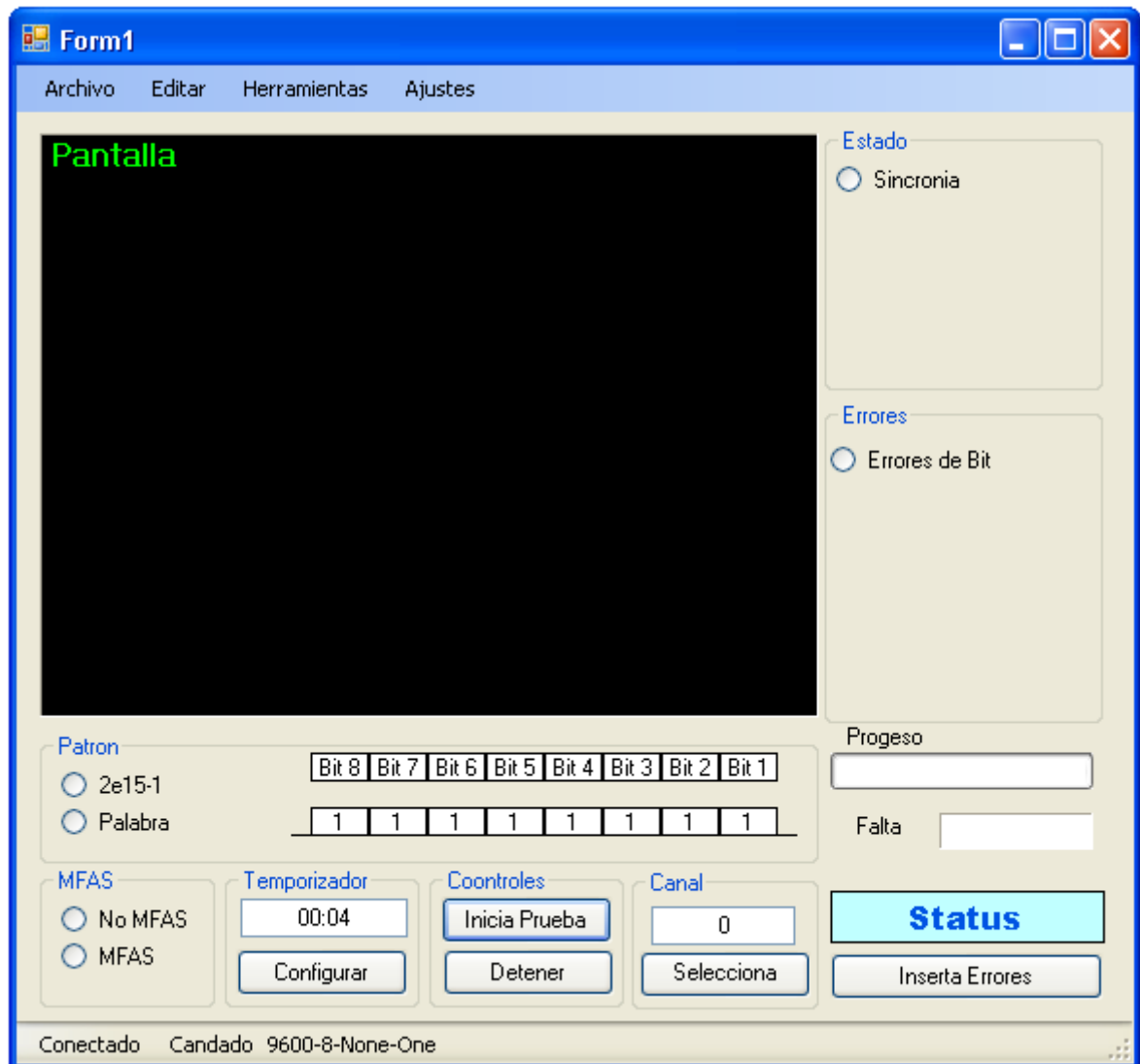


Figura 27: Interfaz Gráfica

3.4.1 Despliegado de resultados

El despliegado de resultados se realiza en el área de la Pantalla, donde se refleja el conteo de errores del analizador. Este valor es recuperado del analizador cada 10 segundos. Esto se logra con ayuda de un temporizador implementado dentro del programa de la interfaz gráfica, el cual controla la comunicación de la interfaz con el analizador.

3.4.2 Configuración del analizador

La configuración es posible por medio de los campos siguientes:

- a) Patrón. Este campo permite seleccionar el patrón de operación del analizador. Las opciones disponibles son: Patrón pseudo-aleatorio de $2^{15}-1$ [10], Patrón de palabra de 8 bits la cual es configurable por medio de la herramienta gráfica (con el uso del mouse).
- b) MFAS [7]. Este campo permite el uso de la palabra de alineación de Multitrama, e inserta 4 “1’s” consecutivos en la ranura de tiempo 15 de la trama de 2 Mbps. El uso de esta ranura de tiempo en este caso, no se considera para la detección de errores, por lo que el detector de errores no debe de considerarlo al momento de medir.
- c) Temporizador. Este es el temporizador que sirve para realizar pruebas por tiempos predefinidos y ajustados por el usuario, el valor se escribe en el campo de texto con formato de hh:mm.

3.4.3 Puesta en marcha de periodos de prueba

El inicio de una prueba se realiza por medio del botón “Iniciar Prueba”, al oprimirlo, el valor del dato contenido en el campo de texto asociado, es transmitido al analizador para dar inicio a un periodo de prueba.

Este botón también des-habilita el botón de configuración, para impedir que el periodo de prueba sufra disturbios causados, por un intento de configuración fuera de tiempo o enviado por error, esto es debido a que un comando de configuración durante una prueba corriendo causará errores en ella.

3.4.4 Desplegado del estado del analizador

El estado del sistema es desplegado por medio de varios componentes gráficos de la interfaz, tal y como a continuación se describe:

- a) En el recuadro superior derecho, se encuentra un control gráfico que nos muestra el estado de sincronía del analizador, esto es con respecto a la señal de entrada de la interfaz E1, este control se ve “seleccionado” cuando el analizador ha logrado sincronizar la trama de la señal de entrada de 2.048 Mbps [8], es

decir, que a logrado alinear la trama por medio de la palabra de sincronía en la ranura de tiempo 0 (bits 1 a 8)

- b) Abajo se encuentra un control denominado “errores”, el cual se muestra “seleccionado” por el programa si han ocurrido errores en la prueba. Su función es ilustrar si en el periodo de prueba corriente han sucedido errores. Esto es útil para mantener un registro histórico de la presencia de errores en la prueba.
- c) Más abajo se encuentra una barra de “progreso” [3] y muestra de manera gráfica el grado de avance del periodo de prueba. Debajo se encuentra un cuadro de texto que muestra el tiempo que queda de la prueba, como un valor numérico con formato hh.mm
- d) La interfaz gráfica cuenta con una barra de estados, que muestra información del estado de la misma. La barra muestra la configuración del puerto de comunicaciones, si se tiene conexión con el puerto serial y si la el botón de configuración está bloqueado (esto sucede cuando existe una prueba corriendo)

3.4.5 Comunicación bi-direccional con el Analizador

La comunicación con el analizador se realiza por medio de la implementación de un puerto serial, conectado por medio de uno de los puertos COM de la computadora, los parámetros de configuración del puerto son ajustados al momento de iniciar la Interfaz Gráfica, y son los mismos que se mencionan en el apartado 2.2.2. Esta configuración es fija, por lo que no es accesible al usuario.

Los datos que se envían al analizador van en formato de 8 bits y son utilizados para cargar cada uno de los registros y contadores configurables, localizados en el bloque de Contadores y Registros del analizador.

Los datos que son devueltos a la PC llegan al buffer destinado para el puerto serial y son leídos como bytes independientes, los cuales, dependiendo del contexto, serán interpretados por la interfaz gráfica como valores de tiempo, errores o estado del analizador.

El modo de comunicación entre la PC y el analizador es del tipo maestro-esclavo, es decir, el analizador sólo puede transmitir datos si la interfaz gráfica se lo solicita. De este modo la interfaz gráfica mantiene todo el tiempo el control de las comunicaciones entre ambas entidades.

Cada cadena enviada al analizador es un comando que ejecuta el analizador. Se tienen 3 tipos de comandos, la

Figura 28: Formato de cadenas de comando, muestra un esquema de la cadena enviada al analizador, estos comandos se describen a continuación:

- a) **Comando de ajuste.** Este tipo de comando se utiliza para configurar algún parámetro del analizador, como es el caso del tiempo de prueba, o el tipo de patrón a utilizar. Este comando inicia con un código de operación (opcode) en el cual, el BIT 8 (R/W) esta puesto a “1”. El 2º byte (Inicio) indica el registro (o contador) inicial a ser cargado, el 3er byte indica la cantidad de registros (contadores) a ser cargados, el resto es la información a cargar.
- b) **Comando de consulta.** Este comando se utiliza para recuperar la información del Analizador. Este comando también inicia con un código de operación (opcode) pero el bit 8 (R/W) esta puesto a “0”. El 2º Byte (Inicio) indica el registro (o contador) inicial a ser leído, el 3er Byte indica la cantidad de registros (contadores) a ser leídos. Este comando solo requiere de estos 3 bytes. El analizador responde enviando la información solicitada en modo serial (sin encabezado) la interfaz gráfica se encarga de interpretar los datos enviados a la PC y desplegarla en la pantalla.
- c) **Comando de control.** Este comando es el más corto, sólo utiliza 1 Byte y se utiliza para la inserción de errores o detener un periodo de prueba y reiniciar los contadores por medio de los BIT Rst, y Err.

Figura 28: Formato de cadenas de comando, muestra el formato de la instrucción que se le envía al analizador

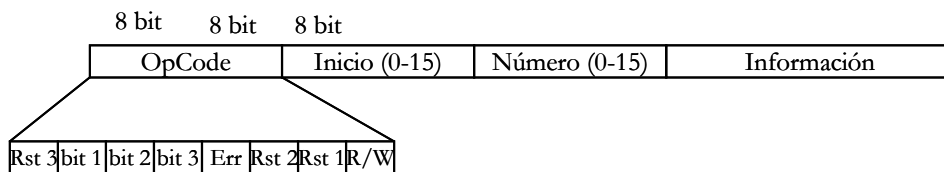


Figura 28: Formato de cadenas de comando

3.4.6 Inserción de errores de prueba

Con frecuencia es necesario contar con la capacidad de insertar errores de manera intencional, para verificar que el aparato de prueba esté operando correctamente. El analizador cuenta con 2 opciones para realizar esta tarea, una es por medio del comando de inserción de errores, disponible en el botón de la interfaz de usuario. El otro es presionando el botón North [4] de la tarjeta de desarrollo del analizador, el cual inserta una ráfaga de errores, el botón de la interfaz gráfica inserta un error cada vez que es presionado.

Capítulo

4

4. Pruebas y Resultados

Las pruebas que se efectuaron con el prototipo, permitieron observar el comportamiento del sistema, para ello se establecen las condiciones de prueba y los resultados esperados en cada caso, para comprobar si el comportamiento del dispositivo está de acuerdo según lo previsto.

Basados en lo anterior se planteó una metodología de prueba que incluyó diversos escenarios, con el objeto de cubrir cada aspecto funcional del prototipo, lo que incluye el resultado (o resultados) esperados, los parámetros de entrada-salida y finalmente un registro de los resultados.

Las pruebas consideradas son como sigue:

- a) Prueba en configuración inicial.
- b) Prueba de programación.
- c) Puesta en operación de un periodo de prueba.
- d) Inserción de errores.

Estas pruebas constituyen el resto de éste capítulo

4.1 Prueba en configuración inicial

El analizador ha sido encendido y tiene una configuración inicial

4.1.1 Objetivo de la prueba

El objetivo de esta prueba es el verificar que el analizador y la interfaz gráfica están en condiciones de operar de manera conjunta y que es factible el intercambio de información entre ambas

4.1.2 Pre-requisitos

El analizador debe de estar encendido y los LEDs deben estar fijos y mostrando el contenido de la ranura de tiempo “0” de la trama de 2 Mbps.

La PC debe estar conectada por medio de un cable serial con el tarjeta FPGA que constituye el Analizador y la interfaz gráfica debe estar corriendo

La interfaz gráfica debe de contar con un área “Temporal” que será utilizada para efectos de prueba; Esto es para realizar consultas de los registros y contadores del analizador, este comando solicita la información de todos los registros y contadores del analizador en unas sola cadena, lo cual permitirá verificar el contenido de este bloque en todo momento.

4.1.3 Procedimiento

- a) Encender Analizador e iniciar aplicación de Interfaz Gráfica
- b) Verificar el estado del bloque de LEDs

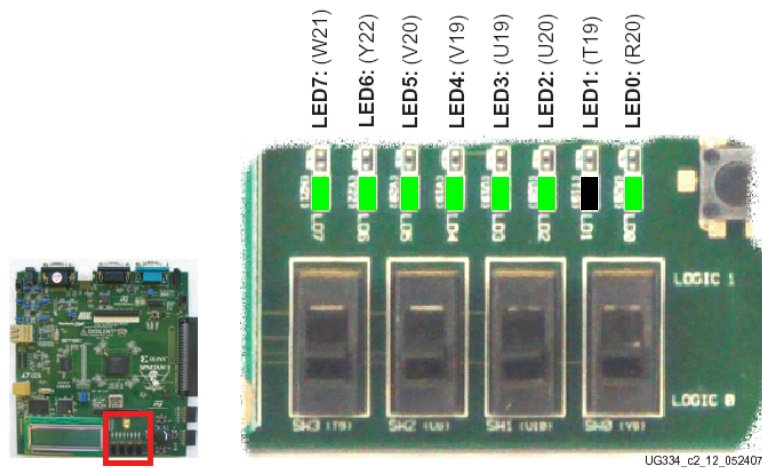


Figura 29: Aspecto del arreglo de LEDs en la tarjeta de desarrollo al encender el Analizador

- c) Utilice el área Temporal para hacer consultas, presionando el botón “Consulta” y verificar que el retorno de información se escribe después de un segundo en el área de texto asociada

4.2.2 Pre-requisitos

Para la ejecución de esta prueba es necesario haber pasado satisfactoriamente la prueba anterior

4.2.3 Procedimiento

- a) Seleccione en la Interfaz Gráfica, la casilla “Palabra” ubicada en el área “Patrón”
- b) Ajuste el patrón de prueba por haciendo click en los bits correspondientes para tener el patrón “11011011”
- c) Seleccione en la Interfaz Gráfica, la casilla “MFAS” ubicada en el área “MFAS”
- d) Observe que el campo Temporizador tiene el valor “00:04”, déjelo como está
- e) Presiona el botón configurar
- f) Verifique que los datos hayan sido cargados en la tarjeta haciendo uso del botón “Consulta” el cual hace permite ver el contenido de los contadores y registros en el campo de texto asociado
- g) Verifique que el patrón ha sido cargado y se está transmitiendo a todas las ranuras de tiempo, verificado el contenido de cada canal por medio de los controles del área correspondiente. Para hacerlo basta con escribir un número del 0 a 31 y presionar el botón “canal” para poder ver el contenido de cada uno de ellos, puede hacerlo con varios canales, en especial es importante probar los canales 0 y 15.
- h) Seleccione en la Interfaz Gráfica, la casilla “2¹⁵-1” ubicada en el área “Patrón”
- i) Seleccione en la Interfaz Gráfica, la casilla “NO-MFAS” ubicada en el área “MFAS”
- j) Repita el paso del inciso “g”

4.2.4 Resultados

La prueba debe permitir observar los datos contenidos en los registros por lo que el campo de texto del área de consulta debe de reflejar los cambios en ellos.

Adicionalmente, al momento de modificar el canal visualizado en el bloque de LEDs, se observa el patrón de bits en cada ranura de tiempo, para los

canales que van del 0 al 14 y del 16 al 31 el patrón observado en el inciso “g” es “11011011”; para el canal 0 es como en el inciso “c” del apartado 4.1.4, el canal 15 muestra un patrón de 4 bits fijos y 4 parpadeando (lo cual se denota por brillar con menor intensidad).

La figura 25 muestra el bloque de LEDs el cual contiene el patrón del Byte “patrón” que se programó en el inciso b).

Los resultados esperados en el inciso “j” del apartado anterior, variarán en lo que concierne al contenido de la ranura de tiempo de 1 a la 31 (incluso la 15) pues el patrón es ahora aleatorio y ello significa que las señales en las ranuras de tiempo serán dinámicas, lo cual se denota por el brillo de todos los LEDs pero en baja intensidad.

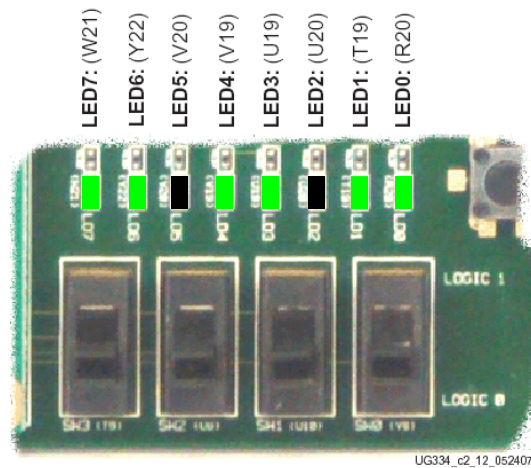


Figura 32: Bloque de LEDs mostrando el contenido de las ranuras de tiempo que es el Byte programado

4.3 Puesta en operación de un periodo de prueba

El analizador inicia un periodo de prueba y debe de verificarse que el comportamiento del sistema sea el esperado

4.3.1 Objetivo de la prueba

El objetivo de esta prueba es el de verificar que el sistema puede iniciar un periodo de prueba, el cual se denota por la actividad, tanto en la interfaz gráfica como en la tarjeta.

4.3.2 Pre-requisitos

Haber pasado satisfactoriamente la prueba del apartado anterior

Se deben ejecutar los pasos del “a” al “e” del apartado 4.2.3

4.3.3 Procedimiento

- a) Presione el botón “Iniciar Prueba”
- b) Registre la actividad en la interfaz gráfica
- c) Espere a que termine el periodo de prueba y registre la actividad en la Interfaz Gráfica
- d) Modifique la duración de la prueba a 10 minutos y repita el paso del inciso “c”
- e) Repita el paso “d” pero antes de los 10 minutos presione el botón “Detener” y repita el inciso “c”

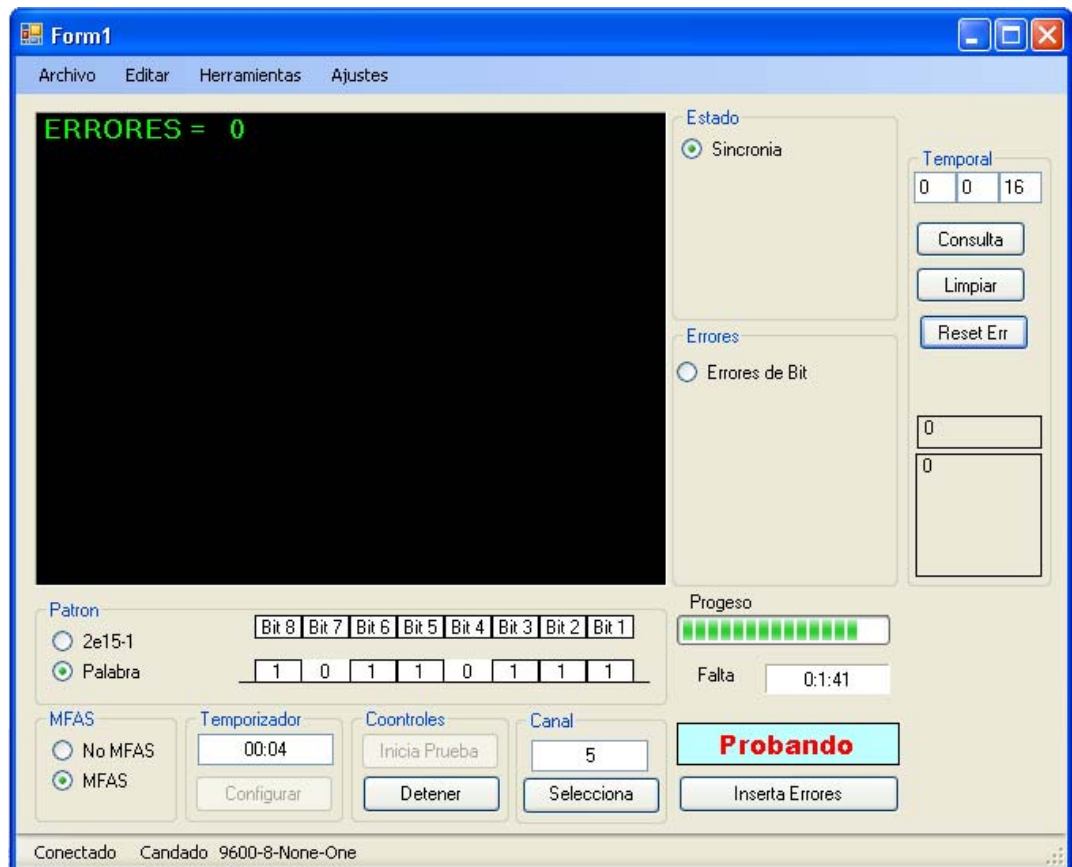


Figura 33: Actividad de la Interfaz Gráfica durante un periodo de prueba

4.3.4 Resultados

La Interfaz Gráfica muestra actividad en los controles de la misma, estos reflejan el estado de la prueba como a continuación se describe:

- El espacio denominado “Pantalla” muestra el valor del contador de errores
- El control “Sincronía” en el área “Estado” es seleccionado lo cual denota que el analizador está sincronizado con la señal de entrada
- El control “Progreso” muestra actividad y comienza a avanzar conforme transcurre el tiempo.
- El control “Falta” muestra el tiempo en el formato “hh:mm” que falta para terminar con la prueba
- El campo de texto “Estatus” cambia de color la leyenda cambia a “Probando”

La Figura 33: Actividad de la Interfaz Gráfica durante un periodo de prueba, muestra el aspecto que tiene la pantalla del analizador mientras corre una prueba de error.

4.4 Inserción de errores

Durante un periodo de prueba se insertan errores y se verifica que el analizador reporte a la interfaz que han ocurrido errores.

4.4.1 Objetivo de la prueba

Verificar la capacidad del Analizador para detectar errores en el patrón de la señal de entrada

4.4.2 Pre-requisitos

Haber pasado por la prueba del apartado 4.3.

4.4.3 Procedimiento

- a) Presione el botón Iniciar prueba
- b) Antes de que el periodo de prueba termine, presione el botón “Inserta Errores”
- c) Observe los cambios en la “Pantalla”
- d) Presione el botón “North” en la tarjeta de desarrollo
- e) Observe los cambios en el área de “Pantalla”

4.4.4 Resultados

En ambos casos (inciso “b” y “d”) del apartado anterior, se insertan errores en el Analizador y en ambos casos son visualizados en la “Pantalla” como un incremento en el contador de Errores. En el caso en que la operación se realiza con el botón de la Interfaz Gráfica, solo se inserta 1 a la vez; en el caso de botón de la tarjeta entra un ráfaga de errores. La Figura 34: Interfaz Gráfica durante el periodo de prueba con inserción de errores, muestra la actividad en la pantalla mientras corre un periodo de prueba, en la que se insertaron errores.

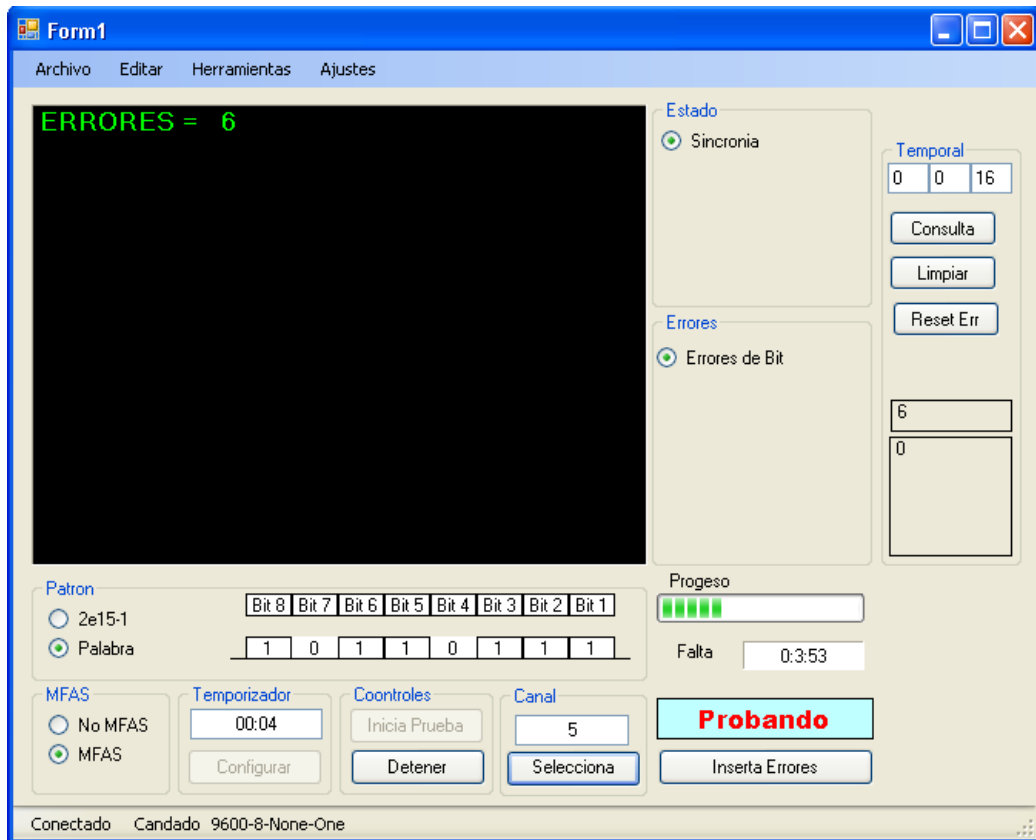


Figura 34: Interfaz Gráfica durante el periodo de prueba con inserción de errores

Capítulo

5

5. Conclusiones

5.1 General

Las diversas necesidades técnicas del mundo actual traen consigo exigencias nuevas en la práctica de la ingeniería, la tecnología ha penetrado cada vez más la vida diaria, por medio de aplicaciones que hace unas décadas eran aún tema de ficción. Esto presiona cada vez más a los profesionistas del campo a multiplicar sus habilidades y conocimientos, con el propósito de implementar adecuadamente soluciones tecnológicas que cumplan con los requerimientos de calidad y capacidad que los usuarios demandan. Afortunadamente, de manera paralela al crecimiento de estos requerimientos, también se han desarrollado plataformas tecnológicas que permiten, de manera flexible, el desarrollo de soluciones técnicas. Tal es el caso los dispositivos de lógica reconfigurable, como los dispositivos CPLD, FPGA etcétera; Los microcontroladores de 8, 16 y 32 bits; Los procesadores de uso específico como los DSP's etcétera.

Durante proceso de este trabajo de tesis, fue posible el desarrollo de un instrumento el cual aún cuenta con limitaciones para su uso en sistemas de telecomunicaciones reales, el más importante es el que se refiere a la interfaz E1, la cual es una opción para futuros trabajos, y que no se considerada en este proyecto desde el principio.

Es importante mencionar que se logró establecer comunicación entre la PC y el analizador, lo que permitió el intercambio de información entre ambas entidades, lo cual es una parte fundamental en el desarrollo del presente trabajo.

Así mismo el uso de comunicaciones a través del puerto serial RS-232, permite la aplicación de otros dispositivos tales como computadoras de bolsillo (PDA), smartphones o dispositivos de cómputo móvil par monitoreo, para ser integradas al Analizador en alternativa a la PC

Al tiempo en que este trabajo fue concluido, el analizador cuenta con los bloques funcionales fundamentales que le permiten realizar las siguientes funciones:

- a) Generación de señales de reloj. El cual cuenta con varias unidades para síntesis de diversas señales de reloj utilizadas para diversos procesos. Fue necesario implementar un reloj de 9,600 Hz para la señal de

recepción serial proveniente de la PC y otro de la misma frecuencia para la transmisión; el primero debe de sincronizarse con la señal de datos de recepción, por lo que su implementación fue mas compleja. Ocurre lo mismo con las señales de reloj de 2.048 Mbps, de la cual se cuenta también con 2 señales. El temporizador y el reloj de tiempo real requirieron solo una señal de pero con periodo de 1 segundo

- b) Comunicación con la PC. Esto se consiguió con un bloque para la recepción, el cual decodifica el primer byte y determina si el comando es de escritura o de lectura, lo cual habilita circuitos para cada función. Aunque en este momento solo se puede escribir y leer de un bloque de 16 registros y/o contadores, el sistema puede crecer en registros (o contadores) solo agregando bloques adicionales, sin necesidad de hacer cambios al sistema de comunicación
- c) Generación y recuperación de trama E1. El sistema ya cuenta con la capacidad de generar y reconocer la trama de la señal E1 (2.048 Mbps) a nivel digital. Es decir, puede insertar y reconocer la palabra de sincronía de la señal de 2.048 Mbps, contenida en la ranura de tiempo 0 (TS 0) y sincronizar el proceso de recepción con la señal entrante.
- d) Codificación y decodificación de línea (HDB3). La codificación y decodificación de línea se hizo posible por medio de la implementación de dos bloques separados los cuales pueden generar señales codificadas en HDB3 y recuperarlas mediante las substituciones descritas el apartado 2.3.
- e) Generación y reconocimiento de patrones de prueba. Fue posible la implementación de 2 generadores de patrón de prueba, uno de ellos del tipo pseudo-aleatorio con longitud de $2^{15}-1$, y el otro de 1 byte de longitud, programable por el usuario, ambos con sus respectivos probadores los cuales verifican que los patrones regresen al receptor de manera íntegra, cuando esto no sucede, los probadores generan eventos de error los cuales son registrados en los contadores dedicados a esta función.
- f) Interfaz Gráfica funcional y amigable al usuario. La interfaz gráfica cuenta con las capacidades fundamentales para operar el analizador, pues cuenta con elementos gráficos que facilitan el trabajo de configuración del dispositivo, y la recuperación e interpretación de información generada por este, la cual es desplegada de modo gráfico sobre los controles de la interfaz

5.2 Desarrollo del prototipo

El prototipo fue desarrollado en bloques funcionales, lo que permitió probar cada bloque de manera aislada, esto facilitó el proceso de depuración del sistema, al contar con la posibilidad de aislar fallas y efectuar pruebas

bloque por bloque. Otra ventaja fue la posibilidad de reutilizar un o más de estos bloque en otras aplicaciones relacionadas.

5.3 Interfaz Gráfica

La Interfaz Gráfica fue desarrollada con Visual Basic 2008, por contar con herramientas que facilitan la comunicación por el puerto serial, y con elementos gráficos que permiten el desarrollo de pantallas amigables al usuario.

La Interfaz Gráfica requirió del uso de un temporizador, debido a que la velocidad a la que el puerto serial intercambia información con el prototipo, con respecto a la velocidad a la cual el programa puede procesar información son muy distintas. El puerto serial requiere de algunos milisegundos para transmitir un solo byte, mientras que el procesador de la computadora, puede ejecutar varios millones de instrucciones por segundo. Esto lleva a la necesidad utilizar un temporizador que controla el ritmo al cual se lleva a cabo el intercambio de información entre la computadora y el prototipo.

5.4 Trabajos futuros

Como vimos en el transcurso del trabajo, algunos aspectos son el tema de trabajos futuros, sobre todo en lo que respecta a la interfaz E1, la cual deberá de ser desarrollada para permitir su conexión a un equipo de telecomunicaciones real.

El prototipo debe posteriormente ser desarrollado sobre una tarjeta dedicada autónoma, que cuente con los dispositivos de hardware, interfaces necesarias y fuentes de alimentación para operar sin necesidad de utilizar toda la tarjeta de desarrollo.

La interfaz gráfica deberá de desarrollarse para contar con la capacidad de realizar procesamiento avanzado de los datos, tales como el contar con la capacidad de realizar histogramas, lo cual es de gran ayuda al efectuar diagnósticos de equipos con fallas transitorias.

Adicionalmente, es importante el contar con la capacidad de realizar análisis de desempeño de acuerdo con la recomendación G.826 [9]

Otro aspecto importante a desarrollar en el contexto de la interfaz gráfica, es una herramienta para la impresión de la pantalla de resultados y para la exportación de información a archivos de texto o imagen.

Del mismo modo es útil contar con configuraciones pre-programadas, las cuales simplifican la configuración del instrumento, haciendo uso de

configuraciones válidas almacenadas en archivos de texto, las cuales deben ser generadas y salvadas por la interfaz gráfica para su uso posterior.

BIBLIOGRAFÍA

- [1] Wyne, Tomasi. *Sistemas de Comunicaciones Electrónicas*. México, Prentice Hall, 1996.
- [2] Haykin, Simon. *Sistemas de Comunicaciones*. México, Limusa Wiley, 2005
- [3] Evjen, Lhotka, Hollis, Sheldon, Sharkey, MacCarthy, Ramachandran. *Visual Basic 2005*, Anaya Multimedia, Wrox, 2006.
- [4] Xilinx, *Spartan-3A/3AN FPGA Starter Kit Board User Guide*, 2008. Pág 27-28, 30-31, 33-35, 63-64.
- [5] G.701, *Vocabulario de Términos Relativos a la Transmisión y Multiplexación Digitales y a la Modulación por Impulsos Codificados*. UIT, 1994
- [6] G.703, *Características físicas y eléctricas de las interfaces digitales jerárquicas*. UIT-T, 2001.
- [7] G.704, *Estructuras de trama síncrona utilizadas en los niveles jerárquicos 1544, 312, 2048, 8448 y 44 736 kbit/s*. UIT-T, 1999.
- [8] G.706, *Procedimientos de alineación de trama y verificación por redundancia cíclica (VRC) relativos a las estructuras de trama básica definidas en la recomendación G.704*. UIT-T, 1991.
- [9] G.826, *Parámetros y objetivos de las características de error de extremo a extremo para conexiones y trayectos digitales internacionales de velocidad binaria constante*. UIT-T, 1991
- [10] O.152, *Aparato de Medida de la Característica de Error para Velocidades de 64 kbit/s y Nx64 kbit/s*. UIT-T, 1991
- [11] <http://www.itu.int/net/home/index.aspx>, *International Telecommunication Union*.

7.1 Datos Técnicos de la PC utilizada

Marca	Compaq
Model	4410
Procesador	Celeron
Platform	Windows NT
Operating System	Microsoft Windows XP
Version	5.1
Current Build Number	2600
Service Level	Service Pack 2
Product ID	55686-OEM-0040712-21990
Registered Organization	Casa
Registered Owner	David Jaimes Estrada
System Root	C: \WINDOWS
Architecture	Intel based
Processor Type	Pentium Class
Processor Speed	~1395 MHz
Processor Detail	Vendor GenuineIntel - Family 6 - Model 11 - Stepping 1
Processor Count	1
Computer Name	CASA-X1S6V4US83
Current User Name	David Jaimes Estrada
Current User Permission	Administrator
Ethernet Card ID	Unable to identify Ethernet ID!
Available space on drive C	\ (HD - NTFS) 1.35 GB of 19.42 GB
Physical Memory	260528 KB
Available Physical Memory	26428 KB
Swap File	443948 KB
Available Swap File	125416 KB
Total Virtual	2097024 KB
Available Virtual	2042472 KB

7.2 Xilinx, Información técnica del Kit de desarrollo



Spartan™-3AN Non-volatile FPGA Starter Kit



Device Evaluation: The Challenges in Getting Started

- High volume applications require efficient and accurate FPGA evaluation with rapid access to the device features, and easy-to-use development tools
- Reference designs that lower design risk, and save costs by reducing development time
- A quick, out-of-the-box set-up to get up-and-running immediately

Get a Jumpstart with the Spartan-3AN Starter Kit

- The Spartan-3AN Starter Kit is a complete, low-cost solution for quick evaluation
- The Starter Kit comes complete with an evaluation board, power supply, design tools, reference designs, and accessories to get you up and running in minutes

Xilinx helps you implement your Spartan-3AN FPGA designs in the shortest possible time with an evaluation board, free design tools and reference designs all in one starter kit.

Spartan-3AN FPGA: Delivering The Best of Both Worlds

The non-volatile Spartan-3AN platform brings together the low-cost, versatile functions of an SRAM-based FPGA with the security and ease-of-configuration characteristics of non-volatile FPGAs. Highly advanced on-chip security features help prevent reverse-engineering, cloning and overbuilding while reducing maintenance costs.

Harness the Spartan-3AN Advantages

The Spartan-3AN FPGA is a highly integrated, solution-optimized device with features that include: on-chip user Flash of up to 11Mb with 100K read/write cycles; Device DNA for IP-secure mechanisms; multiboot capabilities; 26 differential and single-ended I/O standards such as LVDS, RSDS, TMDS; connectivity IP solutions such as PCI™, PCI Express®, USB, and SPI; flexible power management, and much more.

Get Started Quickly with the Spartan-3AN Starter Kit!

The Spartan-3AN Starter Kit provides out-of-the-box functionality to quickly evaluate device features and implement your design. The Spartan-3AN Starter Kit includes an evaluation board with 10/100 Ethernet PHY, 64 Mbytes of DDR2 SDRAM, 4 Mbit Platform Flash, two 16Mbit SPI serial Flash, ADC and DAC circuitry, a 2x16 LCD display, connectors supporting high-speed I/O standards, and more.

No Cost, Versatile Design Tools

Spartan-3AN Starter Kit includes ISE™ WebPACK™ DVD, a free software development system for easy FPGA design that offers HDL synthesis and simulation, implementation, place-and-route, and JTAG programming. Users can go online to get updates with error-free downloading and single file installation.

Spartan-3AN Starter Kit Contents

Spartan-3AN Evaluation Board
USB download cable
Power supply
Quick Start Guide
ISE™ Design Tools Software DVD
Example Designs:
• Device DNA Reader - A unique production-stamped identifier for robust security
• Fractal display generator - Illustrates complex polynomial mathematical capabilities
• On-chip flash program - A program that illustrates how the internal flash is accessed



Evaluation Board Specification

Parameter	Description
Xilinx FPGA Device	
On-board Memory	4MBit Xilinx Platform Flash configuration PROM 4MByte parallel NOR Flash (2) 16 Mbit SPI Serial Flash
DDR2 Support	64MByte (512Mbit), 32M x 16 data interface.
I/O Connectors	High-speed differential I/O • Receiver: 6 data channels or five data channels plus clock • Transmitter: 6 data channels or five data channels plus clock Supports multiple differential I/O standards (eg. LVDS, RSDS, TMDS, PPDS, mini-LVDS) Supports 24 single-ended I/O
Additional Connectors	2, six-pin expansion connectors for Peripheral Modules (sold separately) 100-pin Hirose FX2 expansion connector with up to 43 FPGA user I/O SMA connector for clock inputs and outputs
USB Connector	For programming using supplied USB cable
ADC / DAC	2 channel SPI-based ADC with programmable gain 4 channel SPI-based DAC
Serial Ports	2, nine-pin RS232 (DTE and DCE-style)
User Interface	PS/2 port for mouse or keyboard
Display Interface	VGA display port, 12-bit color Two-line, 16 character LCD display
Ethernet	10/100 Ethernet PHY (requires Ethernet MAC in FPGA)
External Oscillator	133MHz socketed external oscillator
Audio Interface	Stereo audio jack using digital I/O pins
Switches / Knobs	Rotary-encoder knob with push-button shaft Four slide switches Four push button switches
LED	Eight discrete LEDs
Power	5.0 V DC, 1A
RoHS Compliance	Yes
Board Size	6.7" x 7.3" x 1.2" (170mm x 185mm 30mm)
Starter Kit Part Number	HW-SPAR3AN-SK-UNI-G

Finish Faster With Pre-verified Reference Designs

A set of reference designs are pre-loaded on the evaluation board to access device capabilities immediately on start-up. Easy and intuitive prompts let you seamlessly multiboot from one configuration to another.

Take the Next Step

Order online today to get your low-cost Spartan-3AN Starter Kit!

www.xilinx.com/S3ANstarter.



Corporate Headquarters

Xilinx, Inc.
2100 Logic Drive
San Jose, CA 95124
USA
Tel: 408-559-7778
Web: www.xilinx.com

Europe

Xilinx Europe
One Logic Drive
Citywest Business Campus
Saggart, County Dublin
Ireland
Tel: +353-1-464-0311
Web: www.xilinx.com

Japan

Xilinx K.K.
Art Village Osaki Central Tower 4F
1-2-2 Osaki, Shinagawa-ku
Tokyo 141-0032 Japan
Tel: +81-3-6744-7777
Web: japan.xilinx.com

Asia Pacific Pte. Ltd.

Xilinx, Asia Pacific
No. 3 Changi Business Park Vista, #04-01
Singapore 486051
Tel: +65-6544-8999
Web: www.xilinx.com



www.xilinx.com

General Description

The Extended Spartan®-3A family of Field-Programmable Gate Arrays (FPGAs) solves the design challenges in many high-volume, cost-sensitive electronic applications. With 12 devices ranging from 50,000 to 3.4 million system gates (as shown in Table 1), the Extended Spartan-3A family provides a broad range of densities and package options, integrated DSP MACs, and the lowest total system cost while increasing functionality. It also includes the non-volatile Spartan-3AN devices, which combine leading-edge FPGA and Flash technologies to provide a new evolution in security, protection and functionality, ideal for space-critical or secure applications.

The Extended Spartan-3A family improves system performance and reduces the cost of configuration. These enhancements, combined with proven 90 nm process technology, deliver more functionality and bandwidth per dollar than ever before, setting the new standard in the programmable logic industry. Because of its exceptionally low cost, the Extended Spartan-3A family is ideally suited to a wide range of consumer electronics applications, including broadband access, home networking, display/projection, and digital television equipment.

The Extended Spartan-3A family is a superior alternative to mask-programmed ASICs. FPGAs avoid the high initial cost, lengthy development cycles, the inherent inflexibility of conventional ASICs, and permit field design upgrades.

Summary of Extended Spartan-3A Family Features

- Very low-cost, high-performance logic solution for high-volume, cost-conscious applications
- Low-cost QFP and BGA packaging, Pb-free options
- Flexible power management
- Leading connectivity platform
- Abundant, flexible logic resources
- Dedicated resources for high-speed digital signal processing applications
- Precise clock management with up to eight Digital Clock Managers (DCMs)
- Integrated Flash memory in Spartan-3AN platform
- Eight low-skew global clock networks, eight additional clocks per half device, plus abundant low-skew routing
- Hierarchical SelectRAM™ memory architecture
- Configuration interface to industry-standard PROMs
- Complete Xilinx® ISE® and free WebPACK™ development system software support
- MicroBlaze™ and PicoBlaze™ embedded processors reduce risk
- Low-cost starter kits from Xilinx, distributors, and third parties
- XA versions available for Automotive applications

Table 1: Summary of Extended Spartan-3A Family Attributes

Device	System Gates	Equivalent Logic Cells	CLBs	Slices	Distributed RAM bits ⁽¹⁾	Block RAM bits ⁽¹⁾	In-System Flash bits ⁽²⁾	Dedicated Multipliers	DSP48As	DCMs	Maximum User I/O
XC3S50A/AN	50K	1,584	176	704	11K	54K	1M	3	-	2	144 ⁽³⁾
XC3S200A/AN	200K	4,032	448	1,792	28K	288K	4M	16	-	4	248 ⁽⁴⁾
XC3S400A/AN	400K	8,064	896	3,584	56K	360K	4M	20	-	4	311
XC3S700A/AN	700K	13,248	1,472	5,888	92K	360K	8M	20	-	8	372
XC3S1400A/AN	1400K	25,344	2,816	11,264	176K	576K	16M	32	-	8	502
XC3SD1800A	1800K	37,440	4,160	16,440	260K	1,512K	-	-	84	8	519
XC3SD3400A	3400K	53,712	5,968	23,872	373K	2,268K	-	-	126	8	469

Notes:

1. By convention, one Kb is equivalent to 1,024 bits.
2. In-System Flash is available in the Spartan-3AN platform only.
3. Maximum user I/O for XC3S50AN is 108.
4. Maximum user I/O for XC3S200AN is 195.

Extended Spartan-3A Family Features

This section describes the features of the Extended Spartan-3A family of FPGAs.

- Very low-cost, high-performance logic solution for high-volume, cost-conscious applications
 - ◆ Use fewer standard components
 - ◆ Increase system reliability
- Flexible power management
 - ◆ Low 1.2V core voltage
 - ◆ Selectable I/O voltage with 3.3V, 2.5V, 1.8V, 1.5V, and 1.2V signaling
 - ◆ Full 3.3V \pm 10% compatibility and hot swap compliance
 - ◆ Dual-range auxiliary voltage allows 3.3V setting to simplify 3.3V-only design
 - ◆ Suspend and hibernate modes reduce system power
- Leading connectivity platform
 - ◆ Multi-standard SelectIO™ interface pins support most popular and emerging signaling standards
 - ◆ Up to 519 I/O pins or 227 differential signal pairs
 - ◆ LVCMOS, LVTTTL, HSTL, SSTL single-ended I/O
 - ◆ Selectable output drive, up to 24 mA per pin
 - ◆ QUIETIO standard reduces I/O switching noise
 - ◆ 640+ Mb/s data transfer rate per differential I/O
 - ◆ LVDS, RSDS, mini-LVDS, HSTL/SSTL differential I/O with integrated differential termination resistors
 - ◆ Enhanced Double Data Rate (DDR) support
 - ◆ Compliant to 32-/64-bit, 33/66 MHz PCI™ technology
- Abundant, flexible logic resources
 - ◆ Densities up to 53,712 logic cells, including optional shift register or distributed RAM support
 - ◆ Efficient wide multiplexers and wide logic improve performance and density
 - ◆ Fast look-ahead carry logic
 - ◆ IEEE 1149.1/1532 JTAG programming/debug port
- Dedicated resources for high-speed digital signal processing applications
 - ◆ 18-bit by 18-bit multiplier with optional pipeline
 - ◆ 250 MHz XtremeDSP™ DSP48A block in the largest two devices
 - 48-bit accumulator for multiply-accumulate (MAC) operation
 - Integrated 18-bit pre-adder for multiply or multiply-add operation
 - Optional cascaded Multiply or MAC
 - Fills the DSP performance gap between DSP processors and high-end custom solutions
- Precise clock management with up to eight Digital Clock Managers (DCMs)
 - ◆ Clock skew elimination (delay locked loop)
 - ◆ Frequency synthesis, multiplication, division
 - ◆ High-resolution phase shifting
 - ◆ Wide frequency range (5 MHz to over 320 MHz)
- Integrated Flash memory in Spartan-3AN platform
 - ◆ Up to 16 Mb of internal Flash for configuration and application storage
 - ◆ Up to 11 Mb of user storage available for embedded processing, code shadowing, or scratchpad memory
 - ◆ Enables single-chip board designs for space-conscious applications
 - ◆ Enhanced design security with hidden bitstream and Flash memory protection and security register
- Eight low-skew global clock networks, eight additional clocks per half device, plus abundant low-skew routing
- Hierarchical SelectRAM memory architecture
 - ◆ Up to 2.2 Mb of fast block RAM with byte write enables for processor applications
 - ◆ Up to 373 Kb of efficient distributed RAM
 - ◆ External DDR/DDR2 SDRAM support up to 400 Mb/s
- Configuration interface to industry-standard PROMs
 - ◆ Low-cost, space-saving SPI serial Flash PROM
 - ◆ x8 or x8/x16 parallel NOR Flash PROM
 - ◆ Low-cost Xilinx [Platform Flash](#) with JTAG
 - ◆ Load multiple bitstreams under FPGA control with MultiBoot capability
- Complete Xilinx [ISE](#) and free [WebPACK](#) development system software support
 - ◆ Industry's most comprehensive IP library
- [MicroBlaze](#) and [PicoBlaze](#) embedded processors
 - ◆ Integrate soft processor into FPGA to reduce Bill of Materials
 - ◆ Reduce obsolescence risks with soft processors
- Low-cost QFP and BGA packaging, Pb-free options
 - ◆ Common footprints support easy density migration
- Low-cost starter kits from Xilinx, distributors, and third parties
 - ◆ Complete starter kits designed for cost-sensitive, high-volume applications with design examples
- [XA versions](#) available for Automotive applications

Architectural Overview

The Extended Spartan-3A family architecture consists of five fundamental programmable functional elements:

- **Configurable Logic Blocks (CLBs)** contain flexible Look-Up Tables (LUTs) that implement logic plus storage elements used as flip-flops or latches. CLBs perform a wide variety of logical functions as well as store data.
- **Input/Output Blocks (IOBs)** control the flow of data between the I/O pins and the internal logic of the device. IOBs support bidirectional data flow plus 3-state operation. Supports a variety of signal standards, including several high-performance differential standards. Double Data-Rate (DDR) registers are included.
- **Block RAM** provides data storage in the form of 18-Kbit dual-port blocks.
- **Multiplier or DSP48A Blocks** accept two 18-bit binary numbers as inputs and calculate the product. The DSP48A blocks in the two largest members of the Extended Spartan-3A family add an 18-bit pre-adder and 48-bit accumulator.
- **Digital Clock Manager (DCM) Blocks** provide self-calibrating, fully digital solutions for distributing, delaying, multiplying, dividing, and phase-shifting clock signals.

Configuration

The Extended Spartan-3A family is programmed by loading configuration data into robust, reprogrammable, static CMOS configuration latches (CCLs) that collectively control all functional elements and routing resources. The FPGA configuration data is stored externally in a PROM or some other non-volatile medium, either on or off the board, or stored within the FPGA in the non-volatile Spartan-3AN platform. After applying power, the configuration data is written to the FPGA using any of eight different modes:

- Master Serial from a Xilinx Platform Flash PROM
- Serial Peripheral Interface (SPI) from an industry-standard SPI serial Flash
- Internal SPI Flash memory (Spartan-3AN platform)
- Byte Peripheral Interface (BPI) Up from an industry-standard x8 or x8/x16 parallel NOR Flash
- Slave Serial, typically downloaded from a processor
- Slave Parallel, typically downloaded from a processor
- Boundary Scan (JTAG), typically downloaded from a processor or system tester
- MultiBoot configuration

MultiBoot configuration allows two or more FPGA configuration bitstreams to be stored in a single SPI serial Flash or a parallel NOR Flash. The FPGA application controls which configuration to load next and when to load it.

Additionally, each FPGA in the Extended Spartan-3A family contains a unique, factory-programmed Device DNA identifier useful for tracking purposes, anti-cloning designs, or IP protection.

I/O Capabilities

The SelectIO interface of the Extended Spartan-3A family supports many popular single-ended and differential standards. [Table 2](#) shows the maximum number of user I/Os and input-only pins for each device/package combination.

FPGAs in the Extended Spartan-3A family support the following single-ended standards:

- 3.3V low-voltage TTL (LVTTTL)
- Low-voltage CMOS (LVCMOS) at 3.3V, 2.5V, 1.8V, 1.5V, or 1.2V
- 3.3V PCI at 33 MHz or 66 MHz
- HSTL I, II, and III at 1.5V and 1.8V, commonly used in memory applications
- SSTL I and II at 1.8V, 2.5V, and 3.3V, commonly used for memory applications

FPGAs in the Extended Spartan-3A family support the following differential standards:

- LVDS, mini-LVDS, RSDS, and PPDS I/O at 2.5V or 3.3V
- Bus LVDS I/O at 2.5V
- TMDS I/O at 3.3V
- Differential HSTL and SSTL I/O
- LVPECL inputs at 2.5V or 3.3V

Table 2: Available User I/Os

Device	VQ100 VQG100	TQ144 TQG144	FT256 FTG256	FG320 FGG320	FG400 FGG400	CS484 CSG484	FG484 FGG484	FG676 FGG676
Size (mm)	16 x 16	22 x 22	17 x 17	19 x 19	21 x 21	19 x 19	23 x 23	27 x 27
XC3S50A/AN	68 ⁽¹⁾	108	144 ⁽¹⁾	-	-	-	-	-
XC3S200A/AN	68 ⁽¹⁾	-	195	248 ⁽¹⁾	-	-	-	-
XC3S400A/AN	-	-	195 ⁽¹⁾	251 ⁽¹⁾	311	-	-	-
XC3S700A/AN	-	-	161 ⁽¹⁾	-	311 ⁽¹⁾	-	372	-
XC3S1400A/AN	-	-	161 ⁽¹⁾	-	-	-	375 ⁽¹⁾	502
XC3SD1800A	-	-	-	-	-	309	-	519
XC3SD3400A	-	-	-	-	-	309	-	469

Notes:

1. These options are available only in the Spartan-3A platform, not the Spartan-3AN platform.

Package Marking

Figure 1 provides a top marking example for the Extended Spartan-3A family in the quad-flat packages. Figure 2 shows the top marking for the Extended Spartan-3A family in BGA packages. The markings for the BGA packages are nearly identical to those for the quad-flat packages, except

that the marking is rotated with respect to the ball A1 indicator.

The “5C” and “4I” Speed Grade/Temperature Range part combinations might be dual marked as “5C/4I”.

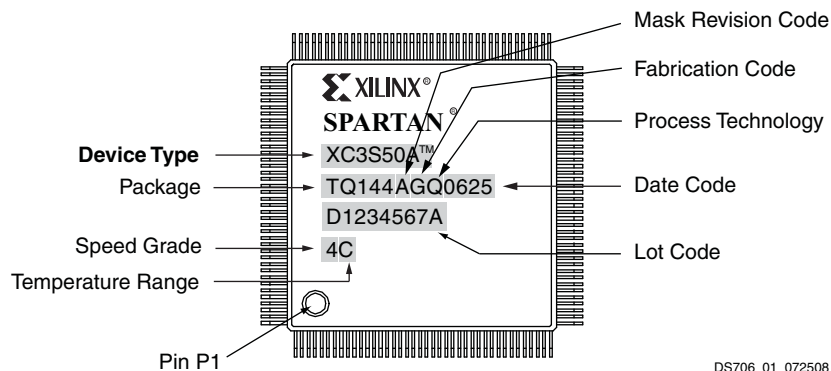


Figure 1: Extended Spartan-3A QFP Package Marking Example

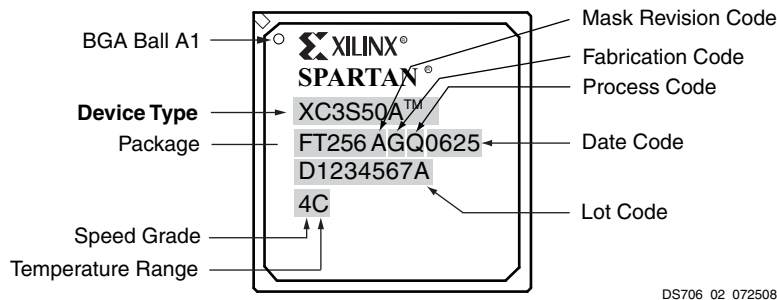
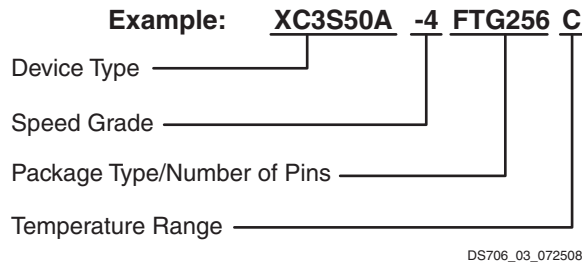


Figure 2: Extended Spartan-3A BGA Package Marking Example

Ordering Information

The Extended Spartan-3A family is available in both standard and Pb-free packaging options. The Pb-free packages include a “G” character in the ordering code (see [Figure 3](#)).



DS706_03_072508

Figure 3: Ordering Information

Device	Speed Grade		Package Type / Number of Pins		Temperature Range (T _J)	
XC3S50A/AN	-4	Standard Performance	VQ(G)100	100-pin Very Thin Quad Flat Pack (VQFP)	C	Commercial (0°C to 85°C)
XC3S200A/AN	-5	High Performance	TQ(G)144	144-pin Thin Quad Flat Pack (TQFP)	I	Industrial (-40°C to 100°C)
XC3S400A/AN			FT(G)256	256-ball Fine-Pitch Thin Ball Grid Array (FTBGA)		
XC3S700A/AN			FG(G)320	320-ball Fine-Pitch Ball Grid Array (FBGA)		
XC3S1400A/AN			FG(G)400	400-ball Fine-Pitch Ball Grid Array (FBGA)		
XC3SD1800A			CS(G)484	484-ball Chip-Scale Ball Grid Array (FBGA)		
XC3SD3400A			FG(G)484	484-ball Fine-Pitch Ball Grid Array (FBGA)		
			FG(G)676	676-ball Fine-Pitch Ball Grid Array (FBGA)		

Notes:

- The -5 speed grade is exclusively available in the Commercial temperature range.

Extended Spartan-3A Family Documentation

Complete and up-to-date documentation of the Extended Spartan-3A family of FPGAs is available on the Xilinx website. The following files are also available for download:

- [DS529, Spartan-3A FPGA Data Sheet](#)
- [DS610, Spartan-3A DSP FPGA Data Sheet](#)
- [DS557, Spartan-3AN FPGA Data Sheet](#)

These data sheets contain DC and Switching Characteristic specifications and pinouts for the Extended Spartan-3A family.

[UG331, Spartan-3 Generation FPGA User Guide](#)

This guide includes chapters on:

- ◆ Clocking Resources
- ◆ Digital Clock Managers (DCMs)
- ◆ Block RAM
- ◆ Configurable Logic Blocks (CLBs)
- ◆ I/O Resources
- ◆ Embedded Multiplier Blocks
- ◆ Programmable Interconnect
- ◆ ISE Design Tools

- ◆ IP Cores
- ◆ Embedded Processing and Control Solutions
- ◆ Pin Types and Package Overview
- ◆ Package Drawings
- ◆ Powering FPGAs
- ◆ Power Management

[UG332, Spartan-3 Generation Configuration User Guide](#)

This guide includes chapters on:

- ◆ Configuration Overview
- ◆ Detailed Descriptions by Mode
- ◆ ISE iMPACT Programming Examples
- ◆ MultiBoot Reconfiguration
- ◆ Design Authentication using Device DNA

[UG333](#), *Spartan-3AN FPGA In-System Flash User Guide*

This guide provides information for Spartan-3AN FPGA applications that write to or read from the In-System Flash memory after configuration:

- ◆ SPI_ACCESS interface
- ◆ In-System Flash memory architecture
- ◆ Read, program, and erase commands
- ◆ Status registers
- ◆ Sector Protection and Sector Lockdown features
- ◆ Security Register with Unique Identifier

[UG431](#), *XtremeDSP DSP48A for Spartan-3A DSP FPGAs User Guide*

This guide describes the DSP48A slices and the DSP48A pre-adder.

Extended Spartan-3A Family Starter Kits

For specific hardware examples, see the Starter Kit boards for the Extended Spartan-3A family. The following web page has links to various boards for each family, including design examples and the user guides:

http://www.xilinx.com/products/boards/s3_sk_promo.htm

Revision History

The following table shows the revision history for this document:

Date	Version	Description of Revisions
07/31/08	1.0	Initial Xilinx release.

Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN (“PRODUCTS”) ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED IN THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR PROPERTY OR ENVIRONMENTAL DAMAGE (“CRITICAL APPLICATIONS”). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS.