



INSTITUTO POLITÉCNICO NACIONAL

**CENTRO DE INVESTIGACIÓN Y DESARROLLO
DE TECNOLOGÍA DIGITAL**



ESPECIALIDAD EN SISTEMAS INMERSOS

**“Implementación en un FPGA de un modulador PWM
aplicando la técnica de Espectro Esparcido”**

TESINA
QUE PARA OBTENER EL DIPLOMA DE
ESPECIALISTA EN SISTEMAS INMERSOS

P R E S E N T A:

OSCAR IVÁN MUÑOZ MEDIAN
BAJO LA DIRECCIÓN DE:

MC. ADOLFO ESQUIVEL MARTINEZ

Julio de 2010

TIJUANA, B.C., MÉXICO



INSTITUTO POLITÉCNICO NACIONAL SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

ACTA DE REVISIÓN DE TESINA

En la Ciudad de Tijuana, B.C. siendo las 8:00 horas del día 26 del mes de julio del 2010 se reunieron los miembros de la Comisión Revisora de Tesina designada por el Colegio de Profesores de Estudios de Posgrado e Investigación de CITEDI para examinar la tesina de especialidad titulada:

DISEÑO E IMPLEMENTACIÓN EN UN FPGA DE UN MODULADOR PWM APLICANDO LA TÉCNICA DE ESPECTRO ESPARCIDO.

Presentada por el alumno:

MUÑOZ

Apellido paterno

MEDINA

materno

OSCAR IVAN

nombre(s)

Con registro:

A0	9	0	5	4	7
----	---	---	---	---	---

aspirante de:

ESPECIALIDAD EN SISTEMAS INMERSOS

Después de intercambiar opiniones los miembros de la Comisión manifestaron **SU APROBACIÓN DE LA TESINA**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

LA COMISIÓN REVISORA

Director de tesina

M. CANDOLFO ESQUIVEL MARTINEZ

DR. ROBERTO HERRERA CHARLES

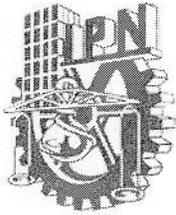


ESP. EDUARDO BARBA CERVANTES

S. E. P.
INSTITUTO POLITÉCNICO NACIONAL
CENTRO DE INVESTIGACION Y DESARROLLO
DE TECNOLOGÍA DIGITAL
EL PRESIDENTE DEL COLEGIO
DIRECCION

DR. LUIS ARTURO GONZÁLEZ HERNÁNDEZ

INSTITUTO POLITÉCNICO NACIONAL



SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

CARTA CESIÓN DE DERECHOS

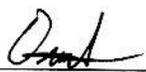
En la Ciudad de Tijuana, Baja California, el día 27 del mes Julio del año 2010, el (la) que suscribe Oscar Iván Muñoz Medina

Alumno (a) del Programa TESINA DE ESPECIALIDAD EN SISTEMAS INMERSOS, con número de registro A090547, adscrito al CENTRO DE INVESTIGACIÓN Y DESARROLLO DE TECNOLOGÍA DIGITAL, manifiesta que es autor (a) intelectual del presente trabajo de Tesina, bajo la dirección de M.C. Adolfo Esguivel Martínez

Y cede los derechos del trabajo intitulado "Implementación en un FPGA de un modulador PWM aplicando la técnica de Espectro Esparcido"

Al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, gráficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo, Este puede ser obtenido escribiendo a la siguiente dirección: Av. Del Parque 1310, Mesa de Otay, Tijuana, Baja California, México CP 22510. Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.

Oscar Muñoz 

Nombre y firma

DEDICATORIA

Quiero dedicar esta Tesina a mi abuelito **Roman** que me cuida desde el cielo....

.....Que en paz descanse

A mis hermanos: **Beto y Hugo**....

.... que han sido un gran ejemplo para mí y me han apoyado siempre.

AGRADECIMIENTOS

Quiero agradecer primeramente a Dios por todas las bendiciones que me da día con día.

A mi familia que siempre ha estado conmigo y a quien debo todo lo que soy hoy en día, este logro es también de ustedes.

A Roberto Herrera Charles gracias por brindarme su amistad, su experiencia y sus consejos, el “No pasa nada?” lo llevare siempre conmigo.

A mi asesor Adolfo Esquivel Martínez por servirme de guía y darme su apoyo en este proyecto, pero por encima de todo su amistad.

A todas las personas del CITEDI que me dieron la oportunidad de convivir con ellas. A mis amigos que conocí al llegar a Carlos Hernández, Daniel Mínguez y Rodolfo Jiménez. A mis compañeros y maestros de la especialidad. A mis compañeros de la maestría a Luis Miguel, Víctor, Francisco, José Luis, Araceli, Alma, Betty, Pedro, Clemente, y a todos y cada una de las personas que tuve la oportunidad de conocer.

Lo más importante que me llevo conmigo son todas las experiencias de ustedes, el poder conocer gente de diferentes lugares que piensa muy distinto y que a pesar de las muchas diferencias siempre serán mas nuestras coincidencias.

RESUMEN

En este trabajo se presenta una propuesta de aplicar la técnica de espectro esparcido en un sistema de potencia, dicha técnica es utilizada comúnmente en sistemas de telecomunicaciones.

La principal fuente de emisiones electromagnéticas en convertidores de potencia viene de la conmutación de voltajes de corriente directa siguiendo una modulación de ancho de pulso (*PWM*). Esta tesina parte de un estudio de doctorado previo hecho por [1], a partir del cual se plantea un modelo de modulación general, para reducir los niveles de interferencia electromagnética EMI.

Del modelo general se elabora un modelo digital de un modulador PWM basado en elementos lógicos el cual es realizado mediante lenguaje de descripción de hardware VHDL y es implementado en un FPGA's de la compañía Xilinx Spartan-3A, ya que ofrecen grandes ventajas por su capacidad de alta escala de integración y reconfiguración en campo. Se describe el proceso de diseño de dicho sistema bloque a bloque. Se utilizan herramientas de software de Xilinx y Aldec.

Una característica importante es el análisis del número de elementos lógicos utilizados en la implementación lo cual sirve de indicativo para mostrar la posibilidad de utilizar otros dispositivos con una menor capacidad de elementos lógicos o bien circuitos integrados de aplicación específica ASIC.

ABSTRACT

This work introduces a proposal for applying the spread spectrum technique to a power supply system, spread spectrum is commonly used in telecommunications systems.

The main source of conducted electromagnetic interference (EMI) in power converters comes from the switching of a DC voltage following a certain PWM pattern. This report start from a previous PhD study done by [1]. From this work a general modulation scheme is presented as a method for reducing the electromagnetic interference EMI.

A digital model for a PWM modulator is made from the general modulation scheme and implemented over an FPGA Spartan-3A, taking advantage of the high scale integration capability and field reconfiguration. The block by block design process is explained. VHDL and software tools from Xilinx and Aldec where used for the design process.

An important characteristic of this work is the analysis of the number of logic elements used for the implementation, this illustrate the capability of the system to be implemented over different programmable logic device or an application specific integrated circuit ASIC.

ÍNDICE DE CONTENIDO

PLANTEAMIENTO DEL PROBLEMA..... 6

OBJETIVOS 7

 General 7

 Específico..... 7

I- Interferencia Electromagnética y técnicas de reducción 8

1.1 EMI/EMC 8

1.2 Tipos de interferencias 10

1.3 Interferencias electromagnéticas en fuentes de alimentación..... 12

1.4 Generación de Interferencias en las fuentes conmutadas..... 12

1.5 Analizador de Espectro 14

1.6 Requerimientos de EMC para sistemas electrónicos 16

1.7 Normativa 17

1.8 Espectro Esparcido (*Spread Spectrum*)..... 19

 1.8.1 Espectro Esparcido con Salto en Frecuencia (*Frequency hopped*) 20

 1.8.2 Espectro Esparcido de Secuencia Directa 20

1.9 Descripción de los dispositivos 22

 1.9.1 Tarjeta de Desarrollo 22

 1.9.2 FPGA 23

II- Modulador PWM de Espectro Esparcido..... 24

2.1 Descripción del Sistema General. 24

2.2 Implementación en VHDL..... 26

 2.2.1 Modulo U1 – Generador de secuencia pseudo-aleatoria 26

 2.2.2 Modulo U2 Generación de reloj -Descripción de terminales y principio de funcionamiento 30

 2.2.3 Módulo U3 – Generación señal diente de sierra 33

 2.2.4 Módulo U4 – Comparador y generación PWM 35

 2.2.5 Circuito Completo 37

 2.3 Resultados Medidos 39

CONCLUSIONES 42

CITEDI - IPN

TRABAJOS A FUTURO	42
REFERENCIAS	43
BIBLIOGRAFIA	44
CYBERGRAFIA	44
GLOSARIO	45
ANEXOS	46

Figura 1 – Análisis de Interferencia.....	9
Figura 2 – Analizador de Espectro.....	14
Figura 3 – Ancho de Banda de <i>FCC</i> y <i>CISPR</i>	15
Figura 4 - PROY-NOM-125-SCT1-2001 puntos 9,10,11,12	18
Figura 5- PROY-NOM-125-SCT1-2001 punto 5	18
Figura 6 – Modelo general de un sistema de comunicación de <i>espectro esparcido</i>	19
Figura 7 – Diagrama a bloques comunicación <i>Espectro Esparcido Salto en Frecuencia</i>	20
Figura 8 – Diagrama a bloques comunicación <i>Espectro Esparcido Secuencia Directa</i> ...	21
Figura 9 – Tarjeta de desarrollo <i>Spartan-3AN</i>	22
Figura 10 – Esquema de medición de <i>EMI</i> en convertidor <i>DC/DC</i>	24
Figura 11 – Diagrama a bloques general	25
Figura 12 – Diagrama a bloques digital.....	25
Figura 13 – Módulo U1 PRBS.....	26
Figura 14 – LFSR/Linear “Feedback Shift Register”	26
Figura 15 – Secuencia de 4 bits	27
Figura 16 –Código <i>VHDL</i> módulo <i>PRBS</i>	28
Figura 17 – Simulación módulo PRBS	29
Figura 18 – Medición del Osciloscopio <i>LeCroy</i>	29
Figura 19 – Síntesis módulo PRBS.....	30
Figura 20 – Módulo U2 Reloj_gen	30
Figura 21 – Tabla de datos iniciales	30
Figura 22 – Datos para obtener la frecuencia deseada.....	31
Figura 23 - Código <i>VHDL</i> módulo <i>Reloj_gen</i>	32
Figura 24 – Síntesis del módulo U2.....	33
Figura 25 – Simulación módulo U2.....	33
Figura 26 – Módulo U3 diente.....	34
Figura 27 - Código <i>VHDL</i> módulo Diente	34
Figura 28 – Simulación módulo U3.....	34
Figura 29 – Síntesis del circuito del módulo U3.....	35
Figura 30 – Módulo U4 comparador	35
Figura 31 - Código <i>VHDL</i> módulo Comparador.....	36
Figura 32 – Simulación módulo U4.....	36
Figura 33 – Síntesis del módulo U4.....	37
Figura 34 – Diagrama del circuito final.....	37
Figura 35 - Código <i>VHDL</i> circuito completo.....	38
Figura 36 – Simulación del circuito completo.....	38
Figura 37 – Síntesis del circuito completo.....	39

INTRODUCCIÓN

La principal fuente de emisiones electromagnéticas en convertidores de potencia viene de la conmutación de voltajes de corriente directa siguiendo una modulación de ancho de pulso (*PWM*).

En controladores *PWM* convencionales la función de conmutación es usualmente una señal portadora ya sea triangular o diente de sierra con una frecuencia de conmutación constante y un ciclo de trabajo variable, por esto las líneas más significativas del espectro de interferencia electromagnética *EMI* están en la frecuencia de conmutación y sus armónicos.

La *EMI* se logra reducir utilizando una frecuencia de conmutación variable, obtenida de modular la frecuencia de la portadora en una forma conocida como modulación de espectro esparcido (Spread spectrum modulation *SSM*). Los beneficios de la *SSM* son que la energía inicial de cada armónico se distribuye en un ancho de banda, arriba y abajo de la frecuencia inicial de portadora obteniéndose una distribución del espectro con amplitudes menores.

Este trabajo se enfoca en la implementación de esta técnica, en dispositivos lógicos programables (*FPGA*), los cuales ofrecen grandes ventajas al tener una alta capacidad de integración y la posibilidad de una fácil reconfiguración en campo.

El diseño se genera a través de un lenguaje descriptor de hardware *VHDL*, mediante el cual y basado en el modelo realizado en [1] se generan los bloques lógicos que realizan la modulación de espectro esparcido (spread-spectrum) reduciendo los niveles de *EMI*.

PLANTEAMIENTO DEL PROBLEMA

Las fuentes de alimentación por su operación conmutada, contiene armónicos, algunos de ellos superan los niveles permitidos por la normatividad de compatibilidad *EMC*.

Aplicando la técnica de espectro esparcido se desea reducir el nivel energético de la señal en cierto ancho de banda.

OBJETIVOS

General

- Diseñar un sistema inmerso (*Embedded System*), que aplique la técnica de espectro esparcido en un modulador de ancho de pulso

Específico

- Desarrollar el *PWM* de forma digital utilizando lenguaje *VHDL*
- Implementar el *PWM* en un sistema inmerso basado en *FPGA*
- Reducir los niveles de interferencia electromagnética (*EMI*) mediante la distribución del espectro de la portadora de una señal *PWM*

I- Interferencia Electromagnética y técnicas de reducción

1.1 EMI/EMC

En su segunda edición el *IEE Standard Dictionary of Electrical and Electronical Terms* define la interferencia electromagnética *EMI* como el deterioro de una señal electromagnética deseada a causa de una perturbación electromagnética. La compatibilidad electromagnética (*EMC* por sus siglas en inglés) es recogida en dicha obra como la capacidad de equipos o sistemas electrónicos para trabajar en un entorno electromagnético, operativo y deseado, a niveles de eficiencia designados.

El problema de las interferencias electromagnéticas en los sistemas electrónicos ha ido adquiriendo importancia conforme han aumentado las aplicaciones de la electrónica, lo cual ha ocasionado un incremento en la contaminación electromagnética del entorno de trabajo de los circuitos.

Las interferencias electromagnéticas se pueden definir como señales de tipo electromagnético que perturban no intencionadamente el normal funcionamiento de un sistema eléctrico o electrónico, afectando a las magnitudes eléctricas o magnéticas (tensión, corriente o campo electromagnético) de sus circuitos, aunque no lleguen a apreciarse sus efectos externamente. Dos importantes excepciones a esta definición son la distorsión provocada por las no linealidades de un circuito y los ruidos de tipo térmico en los componentes.

Cuando las interferencias perturban el funcionamiento de cualquier equipo electrónico, incapacitándolo para realizar la misión para la que fue diseñado, con riesgo para la seguridad de instalaciones y personas en caso de fallas, plantea un grave problema, tanto técnico como comercial. Es un problema técnico porque, una vez completado el diseño del equipo, se hace muy difícil su protección contra las interferencias.

Es un problema comercial porque los costos se incrementan debido a las protecciones a añadir. También crea una mala imagen, tanto de producto como de empresa, por culpa de fallas y la consiguiente falta de confiabilidad.

Los sistemas electrónicos sensibles a las interferencias consumen aproximadamente menos del 1% de toda la energía producidas. El 99% restante es gastado principalmente en alumbrado, motores eléctricos y calefacción, elementos que son mayoritariamente generadores de interferencia.

La compatibilidad electromagnética (*EMC*) es la aptitud de un equipo para funcionar satisfactoriamente en su ambiente electromagnético, sin introducir perturbaciones intolerables en ese ambiente o en otros equipos (*EMI*) y soportar las producidas por otros equipos.

La compatibilidad electromagnética depende del nivel de perturbación de las interferencias del generador y de la susceptibilidad del afectado (receptor).

Los criterios comunes en todos los casos se pueden resumir en tres grandes grupos:

- Supresión de *EMI* en los equipos de potencia, y generadores de *EMI*, en general en mayor o menor medida según sea su ubicación.
- Eliminación de las formas de propagación de las *EMI* mediante planos de masa, blindajes o pantallas, sistemas de puesta a tierra y otros medios de eliminar acoplamientos de campos próximos o lejanos.
- Precauciones de instalación del conjunto de equipos electrónicos y equipos de potencia, incluyendo filtros y eligiendo los métodos de aislamiento e interconexión, más adecuados para mejorar la inmunidad a las *EMI*.

El análisis de un problema de interferencias se divide en las siguientes partes como se puede observar en la Figura 1:

- Origen, fuente o generador de las interferencias.
- Medios de propagación o caminos de acoplamiento de las interferencias.
- Receptores afectados por las interferencias.



Figura 1 – Análisis de Interferencia

Hay tres modos de eliminar las *EMI*: eliminarlas en la fuente, insensibilizar el receptor o disminuir la energía transmitida a través del canal de acoplamiento, aunque también se pueden aplicar dos o tres de ellos.

1.2 Tipos de interferencias

Según la respuesta del sistema interferido, las *EMI* pueden clasificarse en:

- a) Activas, cuando dan lugar a respuestas del sistema como si éste hubiese recibido una señal válida de control
- b) Pasivas cuando una señal válida de control es invalidada a causa de las *EMI*.

Si se clasifican según su origen, las perturbaciones pueden ser:

- a) Naturales, tales como las producidas por descargas atmosféricas, descargas electrostáticas (*ESD*), ruido cósmico, radiaciones naturales, etc.
- b) Provocadas o artificiales, cuando se originan como consecuencia del funcionamiento de otros dispositivos o sistemas eléctricos.

Si se clasifican según el medio de propagación, pueden ser:

- a) Conducidas, cuando el medio de propagación es un conductor eléctrico que une la fuente con el receptor afectado. (Cables de alimentación o de señal, cables de protección, pantallas, chasis metálicos, etc.)
- b) Radiadas. Cuando la propagación se efectúa a través de campos electrostáticos o electromagnéticos.
- c) Acopladas: como caso particular de propagación por radiación se puede incluir lo que se denomina habitualmente acoplamiento capacitivo o inductivo entre conductores próximos.

La experiencia muestra que la supresión de las *EMI* en el momento del diseño puede solventar entre el 80% y el 90% de los problemas antes de las primeras pruebas. Es deseable minimizar las *EMI* lo más cerca de la fuente que sea posible, ya que si no, estas pueden afectar a varios circuitos receptores.

Las disfunciones debidas a descargas electrostáticas no son obvias: el propio usuario del sistema puede estar cargado estáticamente y descargar su electricidad a través del teclado. Es usual que ocurra al activar o desactivar algún elemento actuador como un relé, un motor, una impresora o una electroválvula, etc. También las descargas atmosféricas cercanas son causa de disfunción del equipo o destrucción de los componentes.

Un síntoma de problema de *EMI* es la aleatoriedad de las fallas. Todos los desórdenes funcionales que ocurren en intervalos aparentemente aleatorios no están necesariamente causados por interferencias electromagnéticas externas radiadas o conducidas. Algunas de estas irregularidades pueden ser: tensiones de alimentación mal filtradas, fuentes de alimentación mal dimensionadas, desacoplamientos inadecuados, situaciones especiales en la ejecución de un programa mal depurado, placas de circuito impreso mal diseñadas, distribuciones de masas incorrectas y coincidencias en el tiempo de causas que independientemente no causan desajustes y que juntas pueden causarlos provocando disfunciones aparentemente aleatorias sin que lo sean.

Un buen método de eliminación es aplicar, siempre que sea posible, la eliminación de las *EMI* en su fuente, en lugar de aumentar la protección del circuito afectado desmesuradamente, aunque aquello a veces no es factible.

Los métodos para eliminar las *EMI* en el camino de acoplamiento o en el receptor son los siguientes: apantallado, filtrado, aislamiento galvánico, separación y orientación, control de impedancias, correcto cableado, buenas masas, desacoplamiento y una correcta selección de los componentes.

1.3 Interferencias electromagnéticas en fuentes de alimentación

Las fuentes de alimentación conmutadas *FAC* generan más interferencias electromagnéticas (*EMI*) que las fuentes de alimentación lineales *FAL*. Las *FAL* solo generan *EMI* debidas a los picos de intensidad de carga de los condensadores de filtro. Las *FAC* son muy usuales en los modernos equipos electrónicos ya que tienen un relativo bajo peso y un rendimiento energético doble o triple que las fuentes de alimentación lineales

Así, las *FAC* pueden generar considerables *EMI* conducidas en sus terminales de entrada y salida, aunque con los filtros adecuados y un buen diseño interno se pueden atenuar para cumplir con las normas de compatibilidad electromagnética.

Las *FAC* también generan *EMI* radiadas, debido a que su circuito de potencia funciona en régimen de conmutación, generando formas de onda prácticamente rectangulares. La frecuencia de trabajo depende del tipo de *FAC*, pero puede variar usualmente, según la aplicación, entre los 5 y los 200 KHz.

Así, las *EMI* generadas por las *FAC* pueden tener mayoritariamente estas formas: *EMI* conducidas a través de las terminales de entrada/salida y entre ellos, *EMI* conducidas a través de la masa del blindaje y *EMI* radiadas.

El uso de una *FAC* en lugar de una *FAL*, requiere la utilización de más componentes y más generación de *EMI*. Ello lleva a la necesidad de la incorporación de filtros.

1.4 Generación de Interferencias en las fuentes conmutadas

Desde el punto de vista de la compatibilidad electromagnética, la pregunta inicial debe hacerse cuando se diseña una *FAC* es: ¿Qué circuitos eléctricos son capaces de producir altos niveles de interferencias electromagnéticas? La respuesta es: Los circuitos donde se carguen y descarguen de forma rápida las capacidades, ya que provocan variaciones rápidas de corriente (di/dt) y aquellos donde se conmuten inductancias ya que provocan variaciones rápidas de tensión (dv/dt).

Las interferencias generadas por las *FAC* toman mayoritariamente tres formas:

- Interferencias conducidas a través de los conductores de salida,
- Interferencias conducidas a través de su carcasa a tierra,
- Interferencias radiadas

El nivel de radiación es directamente proporcional a la intensidad, la frecuencia y el área del bucle. Para controlar el nivel de radiación se puede:

1. Aumentar el tiempo de ascenso y descenso de los flancos de las ondas cuadradas de conmutación.
2. Actuar sobre el control de la base de los transistores de potencia, limitando la velocidad de conmutación con inductancias, transformadores o redes RC.
3. Mantener las conexiones lo más cortas que sea posible y trenzar los cables de señal con sus retornos.

Las consideraciones más importantes en el diseño de una *FAC* desde el punto de vista de las *EMI* son:

1. El aislamiento en continua.
2. Los circuitos de masa y los bucles de corriente
3. La susceptibilidad a bajas frecuencias y las *EMI* conducidas hacia las *FAC* desde las líneas de red.
4. Las *EMI* generadas en la *FAC* y conducidas a otra parte del sistema mediante las líneas de red.
5. Las *EMI* radiadas generadas por las *FAC*.
6. La susceptibilidad de las *FAC* a las *EMI* radiadas.
7. Los transitorios de tensión e intensidad (dv/dt y di/dt) y, en especial, lo de puesto enmarca y bloqueo de la *FAC*.
8. Las capacidades parásitas.

Cuando se planifica la disposición de los componentes de la *FAC* hay que recordar:

1. Mantener las líneas con transitorios di/dt y dv/dt lo más cortas que sea posible para reducir el área afectiva del transmisor de interferencia y las capacidades parásitas.
2. Mantener los conductores de entrada y salida tan lejos como sea práctico de los generadores de interferencias electrostáticas y electromagnéticas.
3. Simplificar los caminos de corriente conmutada para evitar crear bucles de masa y así minimizar la introducción de picos de interferencia adicionales.
4. Disponer blindajes entre la fuente generadora de interferencia y los conductores sensibles de entrada y salida. Este blindaje puede ser de un metal, hierro, aluminio o cobre.
5. Minimizar el acoplamiento capacitivo al chasis.

1.5 Analizador de Espectro

Los analizadores de espectro son dispositivos que muestran la magnitud del espectro para señales periódicas. Estos dispositivos son básicamente receptores de radio que tienen un filtro pasa-bajas con un barrido en el tiempo. En la Figura 2 se observa la imagen de un analizador de espectro tomada de [6]. Un analizador de espectro es esencialmente un receptor superheterodino donde la señal deseada es mezclada con un oscilador local y transferido a una frecuencia más baja fija intermedia.

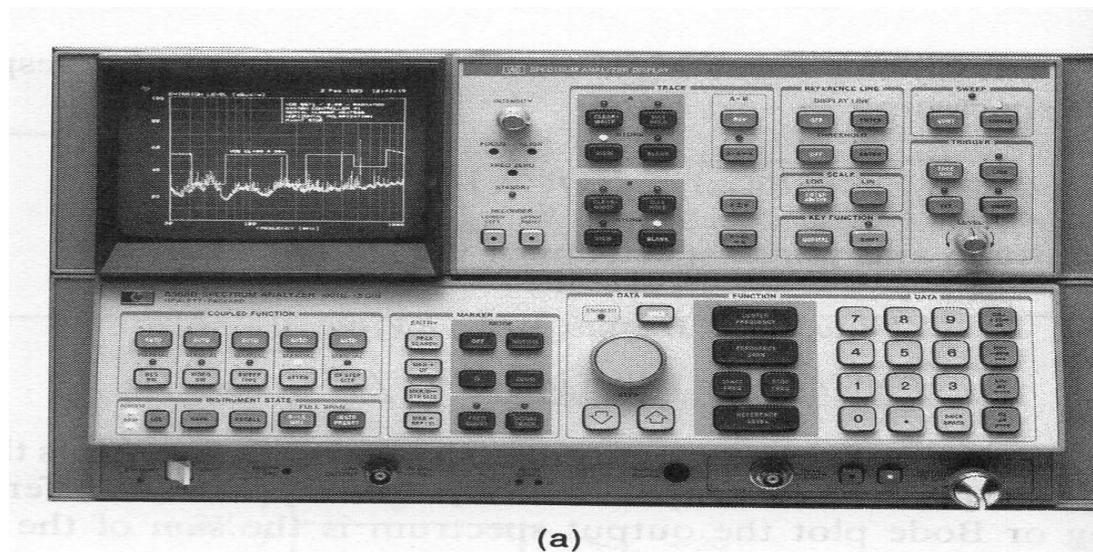


Figura 2 – Analizador de Espectro

Un ingrediente clave en determinar el nivel que se despliega por el analizador de espectro en esa frecuencia es el ancho de banda del analizador de espectro (escogida por el usuario). El nivel desplegado en la frecuencia central del ancho de banda será la suma de los niveles espectrales que caen dentro del ancho de banda del filtro en ese tiempo.

Los anchos de banda mínimos para las regulaciones *FCC* y la *CISPR 22* se pueden observar en la Figura 3.

FCC -Anchos de banda mínimos del analizador de espectro (6db)		
Emisiones radiadas:	30Mhz-40Ghz	100khz
Emisiones conducidas:	450khz-30Mhz	9khz

CISPR 22- Anchos de banda mínimos del analizador de espectro (6db)		
Emisiones radiadas:	30Mhz-1Ghz	100khz
Emisiones conducidas:	150khz-30Mhz	9khz

Figura 3 – Ancho de Banda de *FCC* y *CISPR*

Dentro del analizador de espectros se puede seleccionar entre diferentes modos pico y quasi-pico. En el modo pico se muestra el máximo de armónicos de la señal senoidal. En algunas regulaciones se requiere que el nivel con el que se compara el límite a determinar se mida con un medidor quasi-pico el cual a diferencia del pico utiliza una impedancia en paralelo a la salida. Los límites de emisiones conducidas en la *CISPR 22*, están dados en quasi-picos (*QP*) y niveles promedio (*AV*). Los niveles promedio se obtienen con un detector promedio, que es básicamente un filtro pasa bandas (filtro de video), puesto después de un detector que paso solo la componente de DC de la onda variante en el tiempo.

1.6 Requerimientos de *EMC* para sistemas electrónicos

Existen básicamente dos clases de requerimientos *EMC* que son impuestos para sistemas electrónicos:

1. Aquellos mandados por agencias gubernamentales
2. Aquellos impuestos por el fabricante del producto

Los requerimientos impuestos por agencias gubernamentales son requerimientos legales que generalmente no pueden pasarse por alto. Estos son impuestos en orden de controlar la interferencia producida por el producto. Sin embargo la conformidad con los requerimientos *EMC* no garantiza que el producto no cause interferencia, solo permite al país que impone dichos requerimientos controlar la cantidad de contaminación electromagnética que genera el producto y para que este pueda ser lanzado al mercado debe cumplir con estas especificaciones.

En el segundo caso los requerimientos del fabricante son impuestos con la intención de lograr la satisfacción del consumidor y son impuestos para asegurar que el producto sea confiable y de calidad.

En los Estados Unidos la *FCC* (*Federal Communications Commission*) Comisión Federal de Comunicaciones está encargada de la regulación de la comunicación por radio y cable. Una parte significativa de esta responsabilidad es controlar la interferencia en las comunicaciones.

Es ilegal poner en el mercado un dispositivo digital en los Estados Unidos a menos que sus emisiones conducidas y radiadas hayan sido medidas y no excedan los limitantes de la regulación. La *FCC* descompone el dispositivo digital en Clase *A* y Clase *B*. Los dispositivos digitales clase *A* son aquellos que son lanzados al mercado para ser usados en un ambiente comercial, industrial o de negocios. Los dispositivos clase *B* son aquellos que son lanzados al ambiente residencial.

En el pasado cada país tenía sus propios requerimientos *EMC* únicos, pero los requerimientos en muchos de los casos eran muy similares a los de la *FCC*, por lo que se comenzó a generar una tendencia hacia un estándar para requerimientos internacionales.

La *CISPR* (*International Special Committee on Radio Interference*) se desarrolló en 1985 y es un comité especial de la Comisión Internacional Electrotécnica por sus siglas en inglés *IEC*, que es organismo internacional que promulga estándares en orden de facilitar el comercio entre países. *CISPR* no es un organismo regulatorio sino que simplemente desarrolla estándares los cuales al ser adoptados por un gobierno se convierte en el estándar de ese gobierno. *CISPR* publicó una serie de estándares de emisiones en 1985 referidos como publicación 22 que concierne a equipo de tecnología de información (*ITE*) que incluye dispositivos digitales. Muchos países de Europa y del mundo han adoptado este estándar o variaciones del mismo.

1.7 Normativa

La norma es la especificación técnica u otro documento, accesible al público, establecido con la cooperación y con el consenso o la aprobación general de todas las partes interesadas, basado en los resultados conjuntos de la ciencia, la tecnología y la experiencia, que tiene por objeto el beneficio óptimo de la comunidad y que ha sido aprobado por un organismo cualificado a nivel nacional o internacional.

Existen diversos organismos que publican normas reguladoras de la compatibilidad electromagnética (*EMC*) y la susceptibilidad (*EMS*) de los equipos electrónicos, así como las protecciones y la generación de *EMI*. Las normas más conocidas son *MIL-STD*, *FCC*, *VDE*, *CISPR*, *VG*, *UNE*, *IEC*, *EN*, etc. Las especificaciones *EMC* están divididas principalmente en dos categorías: las militares y las industriales. Dentro de las militares, dos de las primeras y más completas son las *MIL-STD-461* y *MIL-STD-462*.

En México NOM – Norma Oficial Mexicana *PROY-NOM-125-SCT1-2001*, que está basada en *CISPR 11, 16, 22 IEC 61000-4-6-1996*. Como se muestra en la Figura 4 y en la Figura 5

9. Método de medición de perturbaciones conducidas en las terminales de alimentación principal y puertos de telecomunicaciones

Los métodos de medición deben efectuarse de acuerdo con lo establecido en el capítulo 9 de la NMX-I-240-NYCE.

10. Métodos de medición de las perturbaciones radiadas

Los métodos de medición deben efectuarse de acuerdo con lo establecido en el capítulo 10 de la NMX-I-240-NYCE.

11. Bibliografía

CISPR 11: 1997	Industrial, scientific and medical (ISM) radio-frequency equipment-Electromagnetic disturbance characteristics-Limits and methods of measurement.
CISPR 16-1: 1993	Specification for radio disturbance and immunity measuring apparatus and methods-Part 1: Radio disturbance and immunity measuring apparatus.
CISPR 22: 1997	Information technology equipment-Radio disturbance characteristics-Limits and methods of measurement.
IEC 61000-4-6:1996	Electromagnetic compatibility (EMC)-Part 4: Testing and measurement techniques-Section 6: Immunity to conducted disturbances, induced by radio-frequency fields.

12. Concordancia con normas internacionales

Esta Norma es equivalente a la Norma Internacional CISPR 22: 1997; "Information technology equipment-Radio disturbance characteristics-Limits and methods of measurement."

Figura 4 - PROY-NOM-125-SCT1-2001 puntos 9,10,11,12

5. Clasificación

Los ETI están divididos en dos categorías, denominadas ETI clase A y ETI clase B.

5.1 ETI clase B

Son aquellos aparatos que satisfacen los límites de las perturbaciones de la clase B. Los ETI de esta clase están destinados primordialmente a ser utilizados en entornos domésticos y pueden comprender:

- los equipos sin lugares fijos de utilización; por ejemplo, los equipos portátiles alimentados por pilas o baterías incorporadas;
- los equipos terminales de telecomunicaciones, alimentados por la red de telecomunicaciones;
- las computadoras personales y los equipos auxiliares que le son conectados.

NOTA: El entorno doméstico es aquél donde se pueden encontrar en uso receptores de radio y televisión, que funcionan a una distancia igual o menor a 10 m del equipo concerniente.

5.2 ETI clase A

La clase A está constituida por todos los otros ETI que satisfacen los límites de perturbación de la clase A, pero no los de la clase B. Es conveniente que la comercialización de estos equipos no esté sometida a restricción pero debe figurar la siguiente advertencia en las instrucciones de empleo impresas en el instructivo en el folleto o en el manual de uso:

Figura 5- PROY-NOM-125-SCT1-2001 punto 5

1.8 Espectro Esparcido (*Spread Spectrum*)

Espectro Esparcido (*Spread Spectrum*) es una técnica de modulación empleada en telecomunicaciones para la transmisión de datos, comúnmente usada en sistemas digitales y de radiofrecuencia.

El fundamento básico es esparcir la señal a transmitir a lo largo de una banda muy ancha de frecuencias, mucho más amplia que el ancho de banda requerido para transmitir la información.

La tecnología de comunicación de espectro esparcido (*spread spectrum*) se ha utilizado en comunicaciones militares por más de medio siglo, principalmente para dos propósitos: para superar los efectos de interferencia intencional (*jamming*), y para esconder la señal del agresor. Ambas metas pueden ser alcanzadas ensanchando el espectro de la señal para hacerla virtualmente indistinguible del ruido de fondo.

Todos los sistemas de espectro ensanchado satisfacen dos criterios:

- El ancho de banda de la señal que se va a transmitir es mucho mayor que el ancho de banda de la señal original.
- El ancho de banda transmitido se determina mediante alguna función independiente del mensaje y conocida por el receptor.

En la Figura 6 se observa a manera de bloques la comunicación de *Espectro Esparcido*.

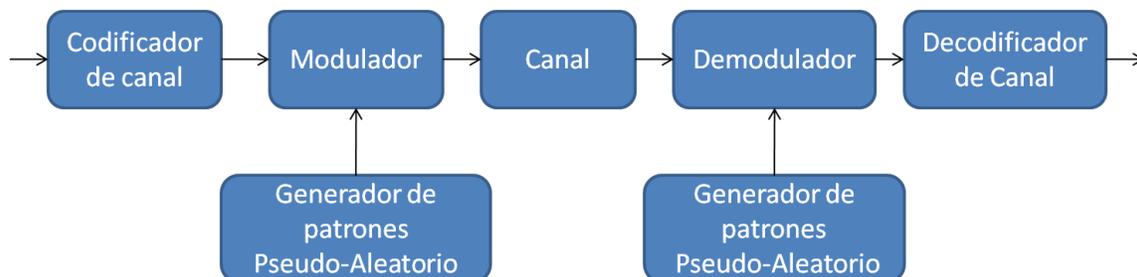


Figura 6 – Modelo general de un sistema de comunicación de *espectro esparcido*

1.8.1 Espectro Esparcido con Salto en Frecuencia (*Frequency hopped*)

En un sistema de comunicación de espectro esparcido con salto en frecuencia, el ancho de banda del canal se subdivide en un gran número de espacios contiguos de frecuencia.

La selección del espacio de frecuencia para cada intervalo de señal se realiza de forma pseudo-aleatoria de acuerdo a la salida de un generador pseudo-aleatorio. En la Figura 7 se aprecia mejor en forma de bloques la transmisión en Salto en Frecuencia.

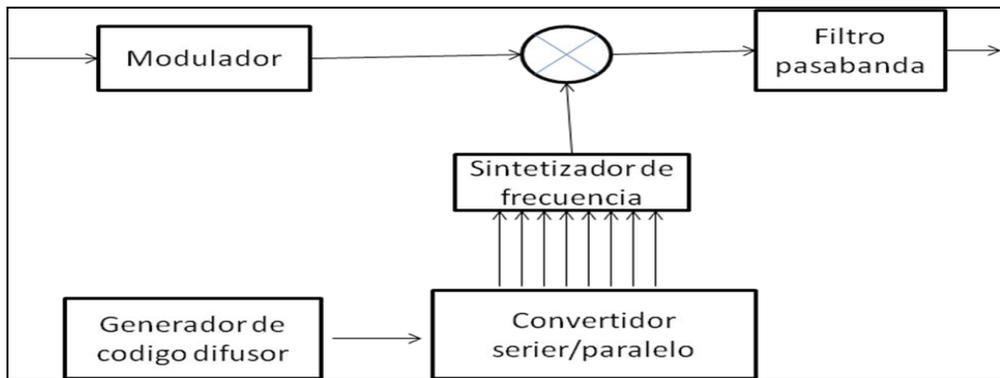


Figura 7 – Diagrama a bloques comunicación *Espectro Esparcido Salto en Frecuencia*

1.8.2 Espectro Esparcido de Secuencia Directa

En esta técnica se genera un patrón de bits redundante para cada uno de los bits que componen la señal. Cuanto mayor sea este patrón de bits, mayor será la resistencia de la señal a las interferencias.

La técnica de *Espectro Esparcido de Secuencia Directa* por sus siglas en inglés *DSSS*, modula una señal senoidal de forma pseudo-aleatoria de acuerdo a un códigos de pseudo-ruido llamados “chips”, cada uno de los cuales tiene una menor duración que el bit de información, esto es que los bits de información se modulan por una secuencia de chips mucho más rápidos como se observa en la Figura 8.

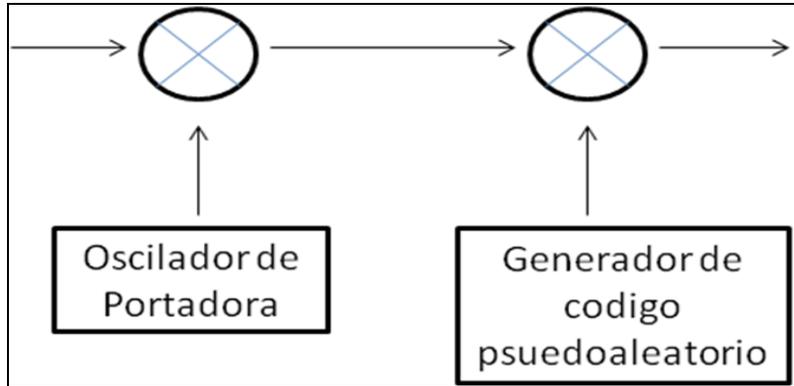


Figura 8 – Diagrama a bloques comunicación *Espectro Esparcido Secuencia Directa*

La *DSSS* utiliza una estructura de señal en la cual la secuencia de “chips” producida por el transmisor se conoce a priori por el receptor.

1.9 Descripción de los dispositivos

Para este proyecto se utilizó la tarjeta de desarrollo *Spartan-3AN* de la compañía Xilinx como se muestra en la Figura 9, un generador de funciones *HP 8116A* y un Osciloscopio LeCroy *Wavesurfer 44Xs-A*

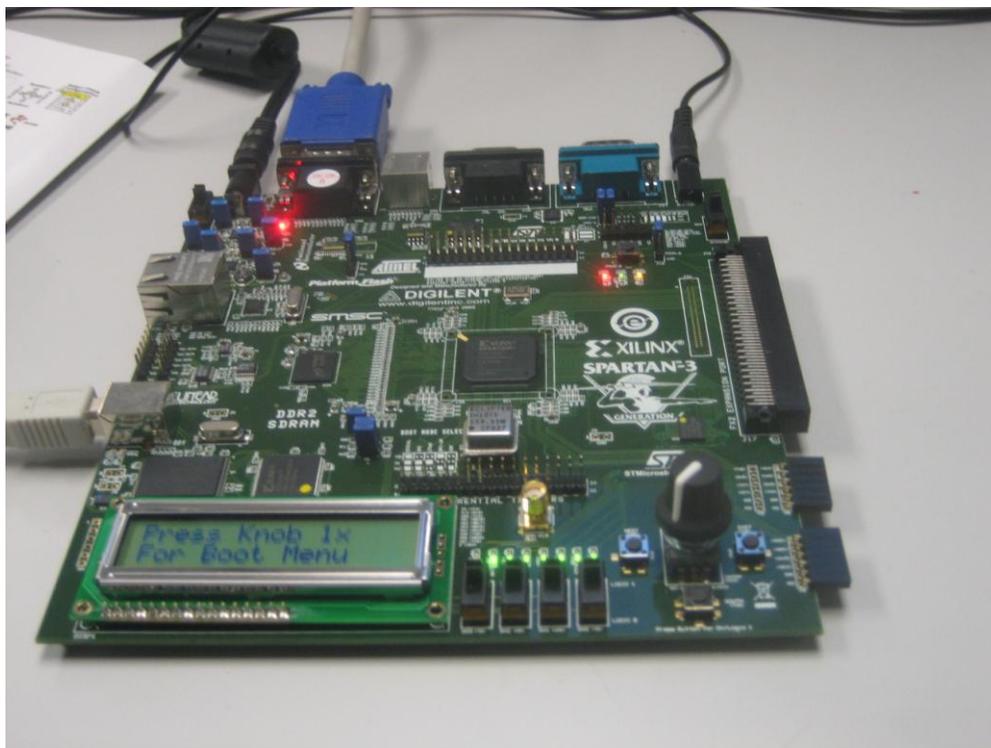


Figura 9 – Tarjeta de desarrollo *Spartan-3AN*

1.9.1 Tarjeta de Desarrollo

Esta tarjeta cuenta con:

- FPGA *Spartan 3AN*
- 4MBit PROM, 4Mbyte Flash NOR paralela, 2 Flash serial *SPI* de 16Mbits
- 64Mbytes *DDR2*
- 24 terminales de entrada/salida
- 2 conectores de 6 pines de expansión, 1 conector *Hirose* de 100 pines
- Conexión *USB*
- *ADC* de 2 canales *SPI*
- *DAC* de 4 canales *SPI*

- Puerto *RS232*
- Puerto *PS2*
- *VGA* de color de 12 bits
- *LCD* de 2 líneas y 16 caracteres
- 10/100 Ethernet *PHY*
- Oscilador externo de 133 Mhz
- Conector de Audio
- Perilla giratoria con botones
- 8 LED's

1.9.2 FPGA

Acrónimo de “*Field Programmable Gate Array*”, arreglo de compuertas programable en campo se utilizan en su mayoría para realizar prototipos y se comienza a dejar ver una tendencia a sustituir los *ASIC's* por los *FPGA's*.

Los *FPGA's*, se basan en arreglos de compuertas que consisten en 3 elementos básicos como se muestra en Figura 10.:

1. *CLB*-bloques lógicos configurables
2. *IOB*-bloques de entrada y salida
3. Canales de comunicación

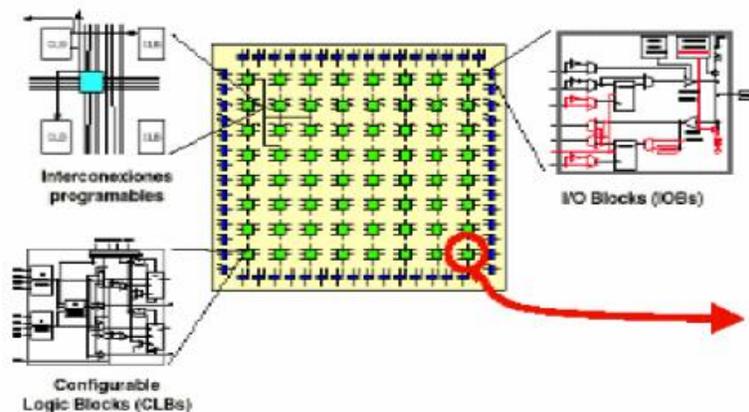


Figura 10 – Estructura interna FPGA

Por dentro los *FPGA's* están formados por arreglos de bloques lógicos configurables (*CLB*) que se comunican entre ellos con las terminales de entrada y salida por medio de alambrados llamados canales de comunicación.

II- Modulador PWM de Espectro Esparcido

En este capítulo mostraremos el diseño del modulador de espectro esparcido comenzando desde su planteamiento, diseño en vhdl, simulación, integración en FPGA y comprobación de resultados medidos en osciloscopio.

2.1 Descripción del Sistema General.

Este proyecto de tesina está basado en el trabajo previo hecho por [1], en el cual se examinan diversos PWM (moduladores de ancho de pulso) con distintas técnicas de modulación, orientadas a disminuir los niveles de *EMI* en aplicaciones que utilizan convertidores de tipo reductor en inglés “buck converter” como se puede observar en Figura 11.

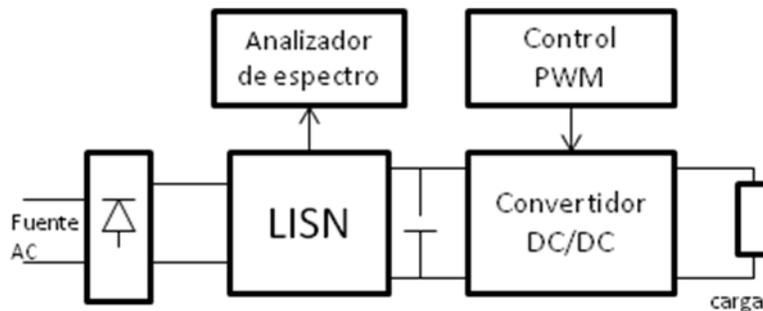


Figura 11 – Esquema de medición de *EMI* en convertidor *DC/DC*

Partiendo del esquema de modulación de espectro esparcido de la Figura 6 anterior, se planteó un diagrama a bloques general que se muestra en la Figura 12. En esta figura se pueden observar seis bloques, entre los cuales tenemos que el bloque U6 es donde se genera la portadora mediante un oscilador que genera una onda de tipo senoidal, el bloque U2 constituye un generador de secuencias pseudo-aleatorias, en el bloque U1 se recibe la señal portadora y se modula con la señal pseudo-aleatoria.

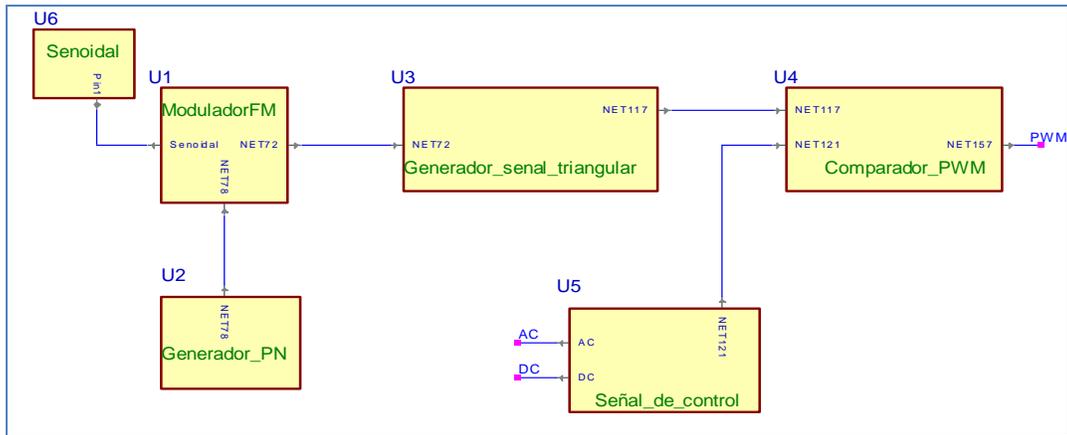


Figura 12 – Diagrama a bloques general del modulador PWM

De la salida del bloque encargado de hacer la modulación se realiza una integración en el módulo U3 para producir una señal diente de sierra la cual se compara dentro del módulo U4 con una señal de control enviada por U5 produciéndose finalmente a la salida de U4 la señal *PWM*.

De este modelo general se deriva el modelo digital que se observa en la Figura 13, en este se muestra como el bloque “PN” que corresponde al generador de secuencias pseudo-aleatorias o de pseudo-ruido, este es controlado por un contador. La señal del bloque “PN” es enviada a un comparador llamado “COMP” y este activa el módulo “Gen_Freq” este manda a una localidad de memoria “ROM” de acuerdo a lo recibido por el módulo de comparación, finalmente esta señal es enviada a dos módulos simultáneamente a un módulo contador que se encarga en activar el generador de secuencias pseudo-aleatorias y a otro comparador que se encarga en compara la señal con la recibida por el bloque “SC” que es la señal de control con la cual se genera el *PWM*.

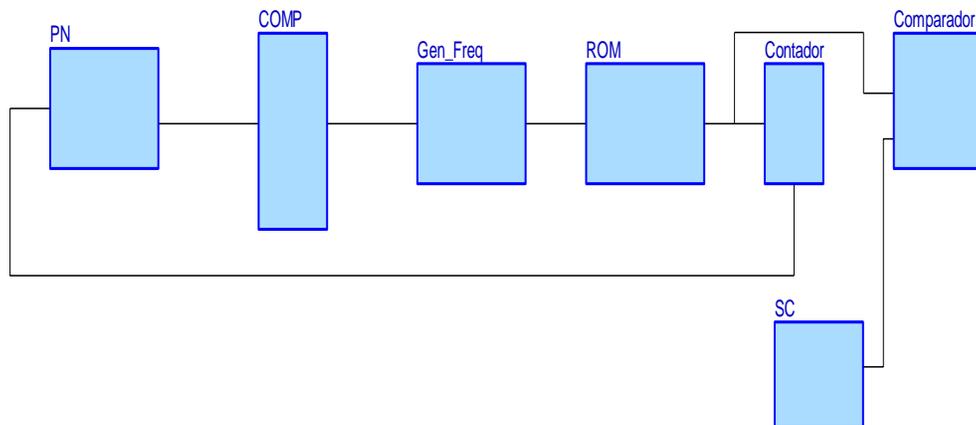


Figura 13 – Diagrama a bloques digital

2.2 Implementación en VHDL

En la siguiente sección se describen cada uno de los módulos que conforman el circuito completo que cumple con el diagrama general PWM. Se explican las terminales de entrada y salida, el código que lo conforma, su simulación y la síntesis del circuito.

2.2.1 Modulo U1 – Generador de secuencia pseudo-aleatoria

-Descripción de terminales y principio de funcionamiento

El primer bloque que se realizó mediante *VHDL* es el módulo U1 que se observa en la Figura 14, que corresponde al generador de secuencias pseudo-aleatorias. Consta de dos terminales de entrada “en” la cual se emplea para recibir el bit de habilitación para iniciar la secuencia pseudo-aleatoria y “reset” para reinicializar el circuito, y una terminal de salida “sal(3:0)” por donde se obtiene la secuencia binaria de 4 bits.

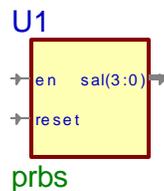


Figura 14 – Módulo U1 PRBS

El principio de funcionamiento de dicho módulo es el que se muestra en la Figura 15 tomada de [5], y consiste en cuatro bi-estables “Flip-Flops” tipo D, conectados con una compuerta *XOR*.

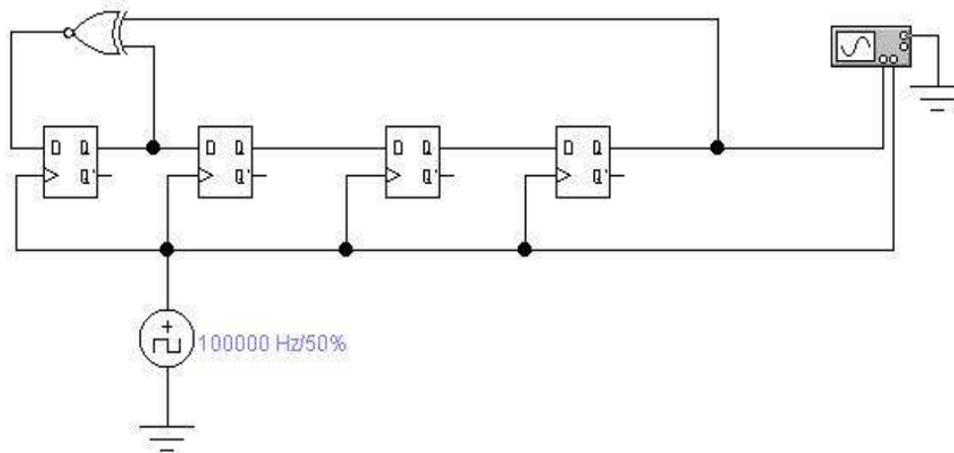


Figura 15 – LFSR ”Linear Feedback Shift Register”

La secuencia generada se puede observa en el diagrama de la Figura 16, cabe destacar que en esta secuencia nunca se produce la combinación “0000” ya que de ocurrir así nunca cambiaría la secuencia y se mantendría en el mismo lugar de forma cíclica.

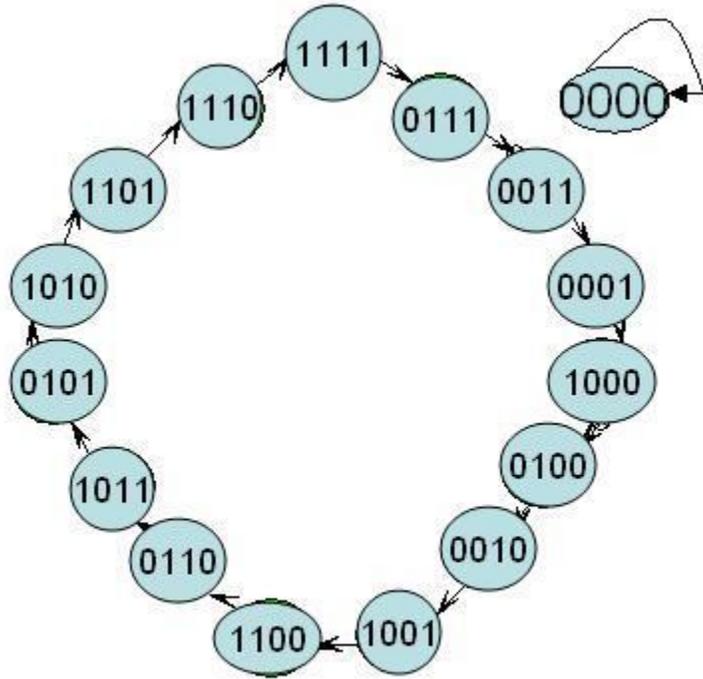


Figura 16 – Secuencia de 4 bits

-Código VHDL

El código de este módulo se observa en la Figura 17, en este código se puede destacar 2 secciones dentro de la arquitectura separadas por una línea punteada, la primera es una compuerta “OR” cuya función es la de recibir dos señales y mientras una de ellas se encuentre en alto el módulo “PRBS” se habilita. En la segunda sección se describe le secuencia pseudo-aleatoria.

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity PRBS is
    port( reset : in std_logic;
          en : in std_logic;
          start : in std_logic;
          sal : out STD_LOGIC_vector(3 downto 0) );
end PRBS;
architecture PRBS of PRBS is
    signal A : std_logic_vector(3 downto 0) := "0110";
    signal clk : std_logic;
begin
    -----
    -- OR gate star up and PRBS clocking
    process (en, start) begin
        if (en='1' or start='1') then
            clk<='1';
        else
            clk<='0';
        end if;
    end process;
    -----
    --PRBS
    process (clk, reset) begin
        if clk'event and clk='1' then
            if reset = '1' then
                A <= (others => '0');
            else
                A(3 downto 1) <= A(2 downto 0);
                A(0) <= not(A(3) xor A(2));
            end if;
        end if;
    end process;
    sal <= A;
end PRBS;

```

Figura 17 –Código VHDL módulo PRBS

-Simulación y comprobación física

En la Figura 18 se observa el resultado del código “PRBS” en simulación. Se puede observar en el lado izquierdo las señales del circuito, apreciándose en el lado derecho como cambia la señal en la terminal de salida “sal” dando valores de forma pseudo-aleatoria de acuerdo a la Figura 16.

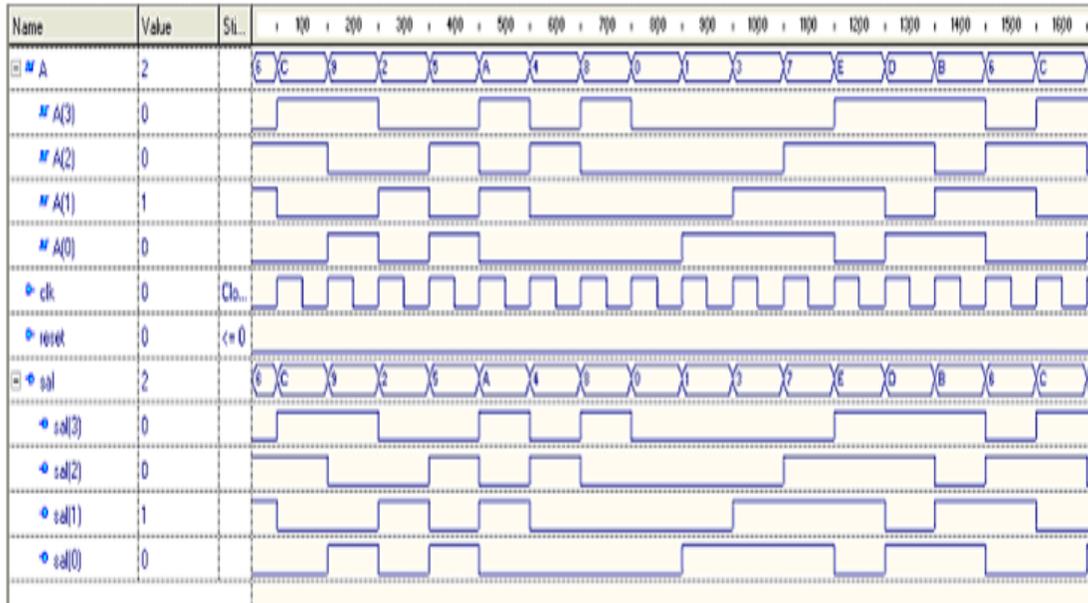


Figura 18 – Simulación módulo PRBS

Este módulo se probó además de forma física con el osciloscopio LeCroy, el resultado se puede observar en el BUS2 de la Figura 19, la cual coincide con la señal “sal” de la Figura 18.



Figura 19 – Medición del Osciloscopio LeCroy

-Síntesis del circuito

En la Figura 20 se muestra la síntesis del código VHDL, utilizando 4 “flip-flops” tipo D y dos tablas de búsqueda o *LUT*'s. utilizando el 1% de la capacidad total..

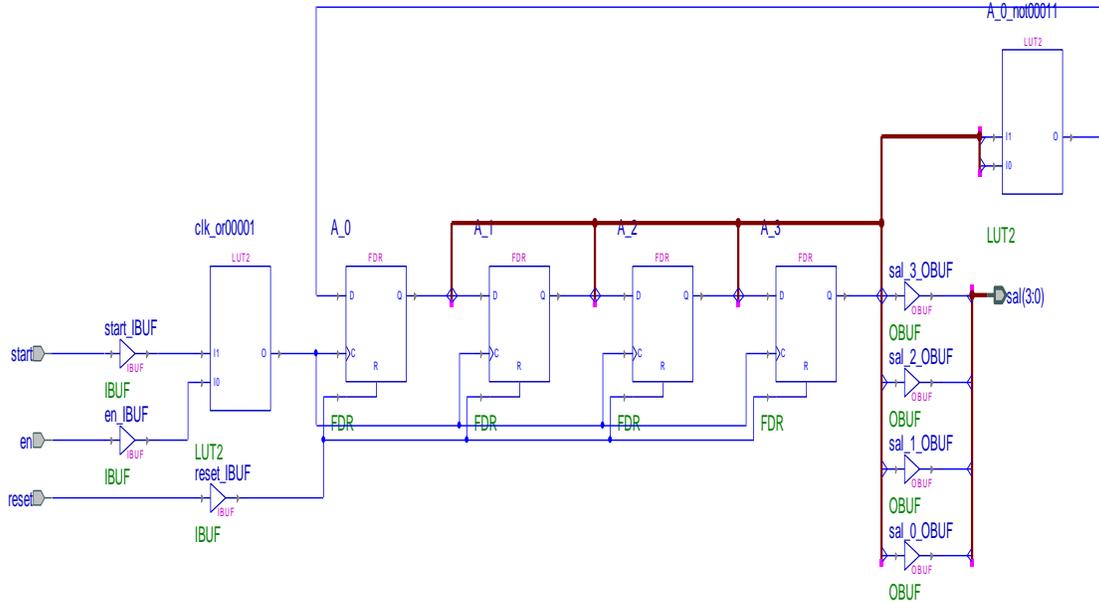


Figura 20 – Síntesis módulo PRBS

2.2.2 Modulo U2 Generación de reloj

-Descripción de terminales y principio de funcionamiento

El módulo U2 “Reloj_gen” consta de tres terminales una entrada del oscilador externo llamada “clk”, la terminal “sec” entrada de la señal proveniente del módulo U1, y la terminal “clk1” se utiliza como salida.

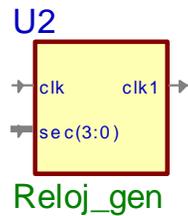


Figura 21 – Módulo U2 Reloj_gen

fp=	3.50E+03
WB=	1.00E+03
fm=	3.00E+03
m=	0.1428
Af=	66.66666667
n=	4
nt=	2.55E+02

Figura 22 – Tabla de datos iniciales

fmodulada	PRBS	AF*PRBS	Ff	fclk	tclk	
3.00E+03	0	0.00E+00	3.00E+03	7.65000E+05	1.31E-06	6.54E+01
3.00E+03	1	6.67E+01	3.07E+03	7.82000E+05	1.28E-06	6.39E+01
3.00E+03	2	1.33E+02	3.13E+03	7.99000E+05	1.25E-06	6.26E+01
3.00E+03	3	2.00E+02	3.20E+03	8.16000E+05	1.23E-06	6.13E+01
3.00E+03	4	2.67E+02	3.27E+03	8.33000E+05	1.20E-06	6.00E+01
3.00E+03	5	3.33E+02	3.33E+03	8.50000E+05	1.18E-06	5.88E+01
3.00E+03	6	4.00E+02	3.40E+03	8.67000E+05	1.15E-06	5.77E+01
3.00E+03	7	4.67E+02	3.47E+03	8.84000E+05	1.13E-06	5.66E+01
3.00E+03	8	5.33E+02	3.53E+03	9.01000E+05	1.11E-06	5.55E+01
3.00E+03	9	6.00E+02	3.60E+03	9.18000E+05	1.09E-06	5.45E+01
3.00E+03	10	6.67E+02	3.67E+03	9.35000E+05	1.07E-06	5.35E+01
3.00E+03	11	7.33E+02	3.73E+03	9.52000E+05	1.05E-06	5.25E+01
3.00E+03	12	8.00E+02	3.80E+03	9.69000E+05	1.03E-06	5.16E+01
3.00E+03	13	8.67E+02	3.87E+03	9.86000E+05	1.01E-06	5.07E+01
3.00E+03	14	9.33E+02	3.93E+03	1.00300E+06	9.97E-07	4.99E+01
3.00E+03	15	1.00E+03	4.00E+03	1.02000E+06	9.80E-07	4.90E+01

Figura 23 – Datos para obtener la frecuencia deseada

-Código VHDL

El código en *VHDL* se muestra en la Figura 24. En esta se puede apreciar la implementación de la instrucción *with-select* la cual realiza una comparación y dependiendo de la entrada se tendrá una combinación de 4 bits en la terminal de salida.

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity Relej_gen is
    port(
        clk : in STD_LOGIC;
        sec : in STD_LOGIC_vector(3 downto 0);
        clk1 : out STD_LOGIC
    );
end Relej_gen;
architecture Relej_gen of Relej_gen is
    -- signal range le asigno un numero de bits
    signal d: integer range 0 to 100;
    Signal A: integer range 0 to 100 := 0 ;
    Signal B: std_logic;
begin
    with sec select
    d<= 65 when "0000",
        64 when "0001",
        62 when "0010",
        61 when "0011",
        60 when "0100",
        59 when "0101",
        58 when "0110",
        57 when "0111",
        56 when "1000",
        55 when "1001",
        54 when "1010",
        53 when "1011",
        52 when "1100",
        51 when "1101",
        50 when "1110",
        49 when others;

    BEGIN
        PROCESS
            WAIT UNTIL clk'EVENT and clk = '1';
            IF A < d THEN
                A <= A + 1;
            ELSE
                A <= 0;
            END IF;
            IF A < d/2 THEN
                B <= '0';
            ELSE
                B <= '1';
            END IF;
        END PROCESS;
        clk1<=B;
    end Relej_gen;

```

Figura 24 - Código VHDL módulo “Relej_gen”

-Simulación y comprobación física

La simulación del circuito del módulo “Relej_gen” se puede apreciar en la Figura 25. En esta figura se aprecia como la señal “A” se va incrementando y al llegar a un determinado número la señal “B” que se observa en la terminal “clk1” cambia de bajo a alto y viceversa.

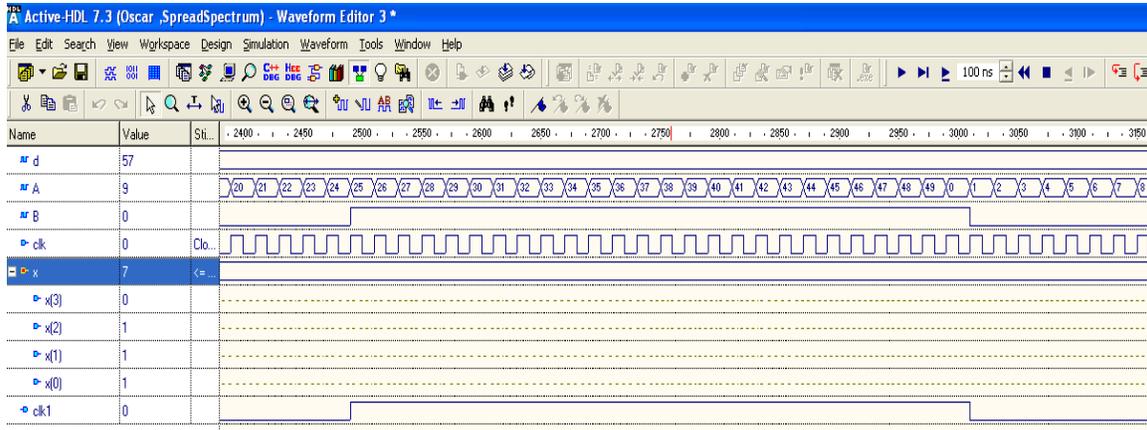


Figura 25 – Simulación módulo U2

-Síntesis del circuito

En la Figura 26 se puede observar la síntesis del circuito en el que se utilizan 8 Flip-Flops y 26 LUT's de 4 entradas, aproximadamente 1% de la capacidad total.

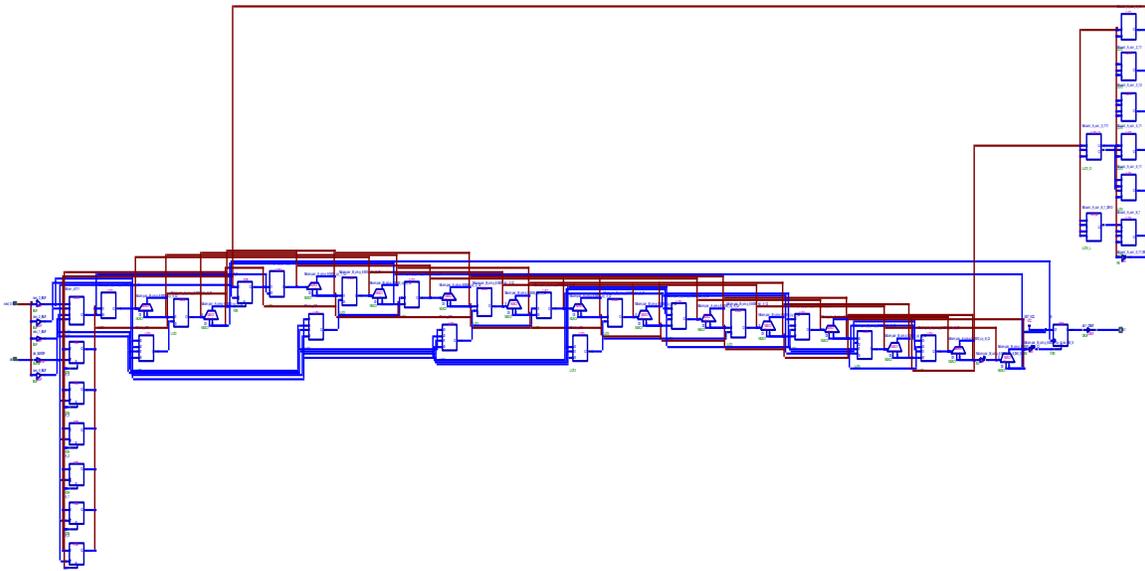


Figura 26 – Síntesis del módulo U2

2.2.3 Módulo U3 – Generación señal diente de sierra

-Descripción de terminales y principio de funcionamiento

La Figura 27 muestra el módulo diente. Este módulo tiene la terminal de entrada “D” que recibe la señal del módulo U2, y este mediante de un contador, se encarga de mandar un bit de habilitación al módulo U1 en la terminal “en”, mientras que en la terminal de 8 bits “A” se obtiene la señal diente de sierra.

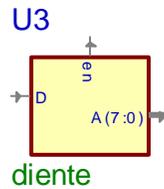


Figura 27 – Módulo U3 diente

-Código VHDL

Como se puede observar en el código de la Figura 28 se emplea un solo proceso mediante la instrucción *if-else*, ejecutándose un contador de 0 a 255, reiniciándose al llegar al límite y mandando el bit de habilitación por la terminal “en”.

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity Diente is
    port( A : out STD_LOGIC_vector(7 downto 0);
          en : out std_logic;
          D : in STD_LOGIC );
end Diente;
architecture Diente of Diente is
    Signal B: std_logic_vector(7 downto 0):= "00000000";
begin
    process (D,B) begin
        if (B=255) then
            B<="00000000";
            en<='1';
        else
            if (D'event and D='1') then
                B<=(B+1);
                en<='0';
            end if;
        end if;
    end process;
    A<= B;
end Diente;
    
```

Figura 28 - Código VHDL módulo Diente

-Simulación y comprobación física

En la Figura 29 se aprecia cómo cambia la señal “A” a manera de contador y al llegar al límite se reinicia colocando la señal “en” en estado alto.

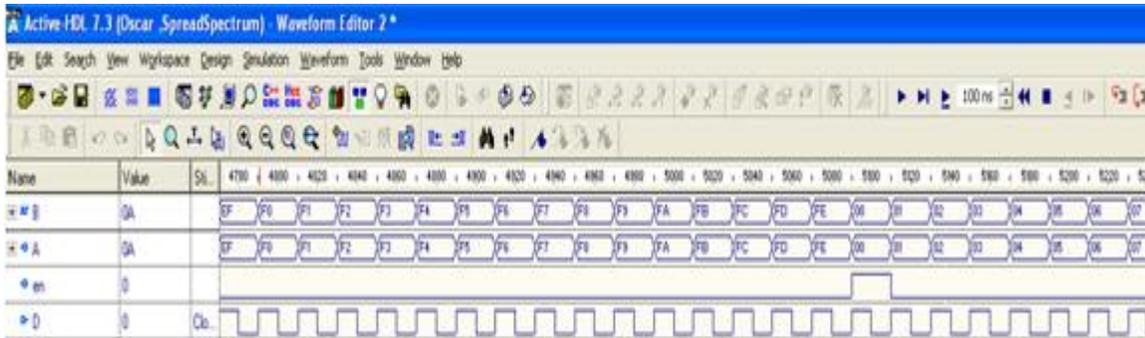


Figura 29 – Simulación módulo U3

-Síntesis del circuito

La síntesis del circuito se observa en la Figura 30, en el cual se emplean 8 Flip-Flops y 4 LUT's de 4 entradas aproximadamente el 1% de capacidad.

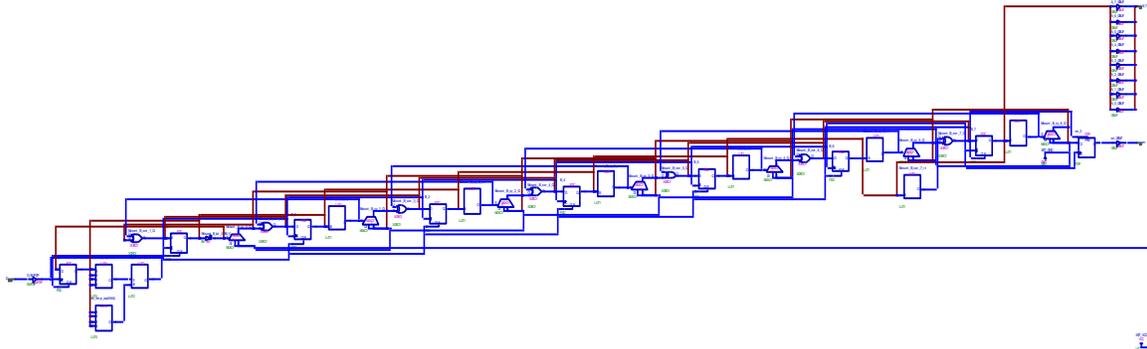


Figura 30 – Síntesis del circuito del módulo U3

2.2.4 Módulo U4 – Comparador y generación PWM

-Descripción de terminales y principio de funcionamiento

La señal diente de sierra del módulo U3 llega a la terminal de entrada “C” del módulo U4 que se observa en Figura 31, y se compara con la señal de control que se selecciona mediante la terminal “sel” en tres modos posibles. Finalmente por la terminal “Y” se obtiene la señal *PWM*.

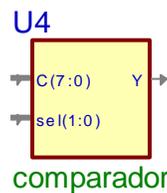


Figura 31 – Módulo U4 comparador

-Código VHDL

En el código *VHDL* que se observa en la Figura 32, se aprecian dos procesos dentro de la arquitectura, el primero con la instrucción *with-select* que se utiliza para seleccionar la señal de control a utilizar, y el segundo proceso mediante *if-else* para realizar la comparación.

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity Comparador is
    port( Y : out std_logic;
          C : in std_logic_vector(7 downto 0);
          sel : in STD_LOGIC_vector (1 downto 0) );
end Comparador;
architecture Comparador of Comparador is
    Signal B: std_logic_vector(7 downto 0);
begin
    with sel select
        B <= "00000000" when "00",
            "00010000" when "01",
            "10000000" when others;
    --bloque de comparacion
    process (C,B) begin
        if C > B or C = B then
            y<='1';
        else
            y<='0';
        end if;
    end process;
end Comparador;
    
```

Figura 32 - Código VHDL módulo Comparador

-Simulación y comprobación física

La simulación del circuito del módulo U4 se observa en la Figura 33, en esta se aprecia cómo va cambiando la señal “C” y al hacerlo también cambia la salida “Y” produciéndose el *PWM*.

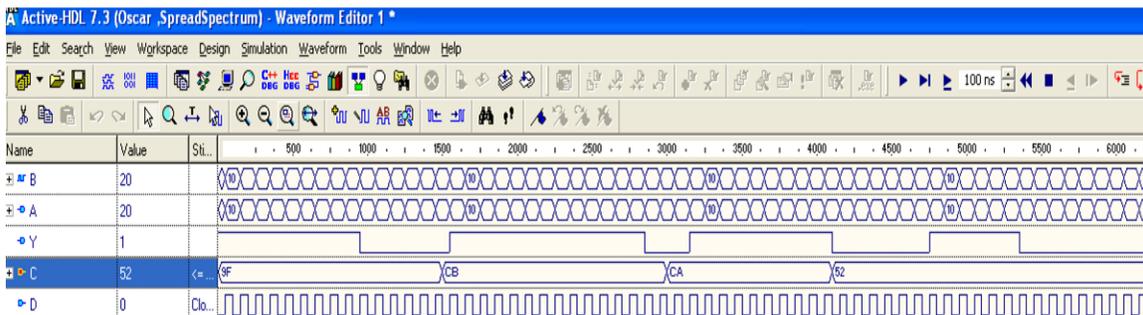


Figura 33 – Simulación módulo U4

-Síntesis del circuito

En la Figura 34, se muestra la síntesis del circuito, el cual solo utiliza dos tablas de búsqueda o *LUT's* con aproximadamente 1% de la capacidad total.

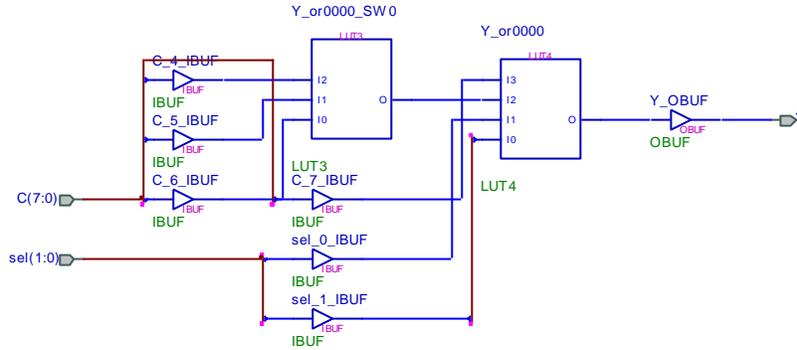


Figura 34 – Síntesis del módulo U4

2.2.5 Circuito Completo

-Descripción de terminales y principio de funcionamiento

El circuito completo en *VHDL* se puede observar en la Figura 35, en el que se tienen dos terminales de entrada una de inicio “start” y otra de re-inicialización “reset”, además de una terminal de salida Y en la que se obtiene la señal *PWM* deseada.

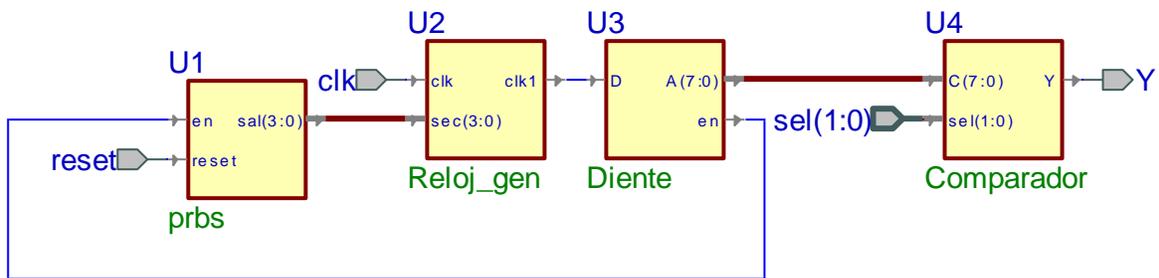


Figura 35 – Diagrama del circuito final

-Código VHDL

En la Figura 36 se observa el código en *VHDL* del circuito final en el que se aprecia la implementación de la instrucción “component”, la cual solo establece que el código realiza una conexión de módulos que cuentan con su propia arquitectura.

```

library IEEE;
use IEEE.std_logic_1164.all;
library TESINA2_DESIGN;
entity Tesina_block is
port(
    clock : in STD_LOGIC;
    reset : in STD_LOGIC;
    sel : in STD_LOGIC;
    start : in STD_LOGIC;
    Y : out STD_LOGIC
);
end Tesina_block;
architecture Tesina_block of Tesina_block is
component comparador
port (
    C : in STD_LOGIC_VECTOR(7 downto 0);
    sel : in STD_LOGIC_VECTOR(1 downto 0);
    Y : out STD_LOGIC
);
end component;
component diente
port (
    D : in STD_LOGIC;
    A : out STD_LOGIC_VECTOR(7 downto 0);
    en : out STD_LOGIC
);
end component;
component prbs
port (
    en : in STD_LOGIC;
    reset : in STD_LOGIC;
    start : in STD_LOGIC;
    sal : out STD_LOGIC_VECTOR(3 downto 0)
);
end component;
component Relej_gen
port (
    clk : in STD_LOGIC;
    sec : in STD_LOGIC_VECTOR(3 downto 0);
    clk1 : out STD_LOGIC );
end component;
    sel(1) => sel,
    Y => Y );
---- Constants ----
constant DANGLING_INPUT_CONSTANT : STD_LOGIC := 'Z';
---- Signal declarations used on the diagram ----
signal NET141 : STD_LOGIC;
signal NET53 : STD_LOGIC;
signal BUS152 : STD_LOGIC_VECTOR(7 downto 0);
signal BUS156 : STD_LOGIC_VECTOR(3 downto 0);
signal Dangling_Input_Signal : STD_LOGIC;
begin
U1 : prbs
port map(
    en => NET53,
    reset => reset,
    sal => BUS156,
    start => start
);
U2 : Relej_gen
port map(
    clk => clock,
    clk1 => NET141,
    sec => BUS156
);
);
);
U4 : comparador
port map(
    C => BUS152,
    sel(0) => Dangling_Input_Signal,
    Dangling_Input_Signal <= DANGLING_INPUT_CONSTANT;
end Tesina_block;

```

Figura 36 - Código VHDL circuito completo

-Simulación y comprobación física

La simulación del circuito se puede apreciar en la Figura 37, en esta se observa en la tercer señal como cambia el ancho de pulso.

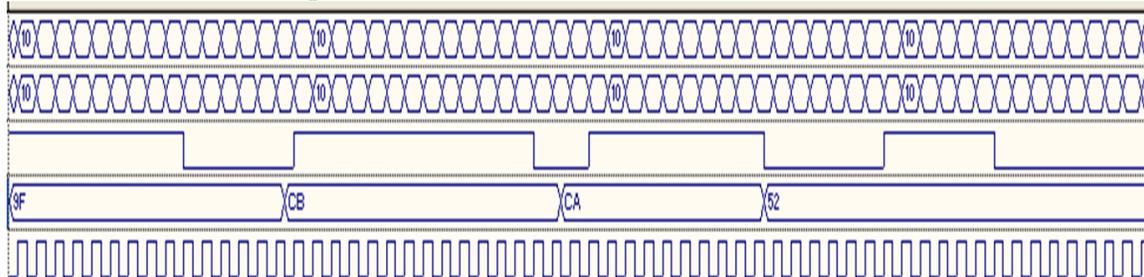


Figura 37 – Simulación del circuito completo

En la Figura 38 se muestran las diferencias en las mediciones de los segmentos de la señal, lo cual demuestra la variación del ancho de pulso.

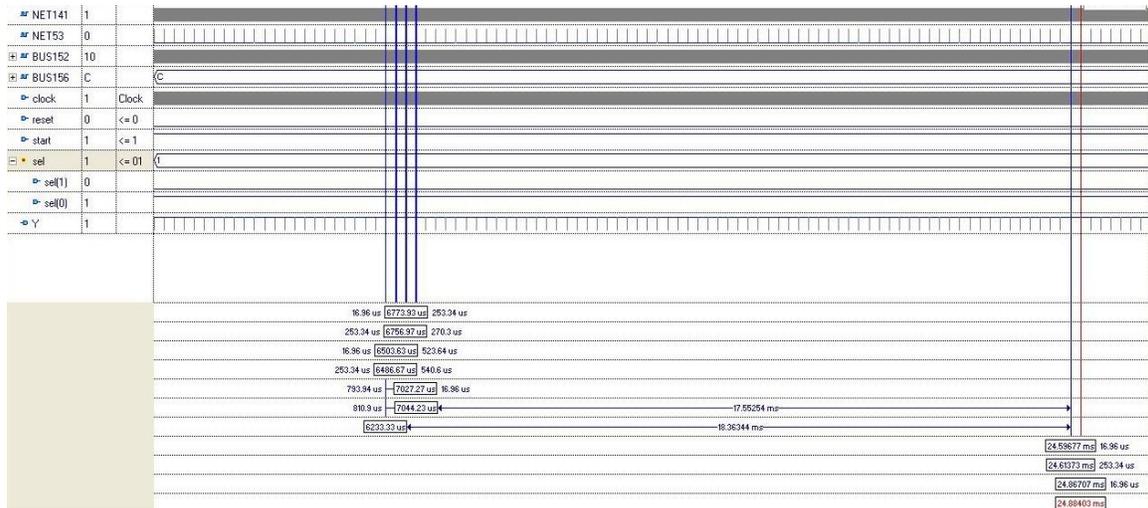


Figura 38 – Simulación circuito completo

-Síntesis del circuito

El circuito completo se observa en la Figura 39, está integrado por 21 Flip-Flops y 33 LUTs de 4 entradas aproximadamente equivalente al 1%.

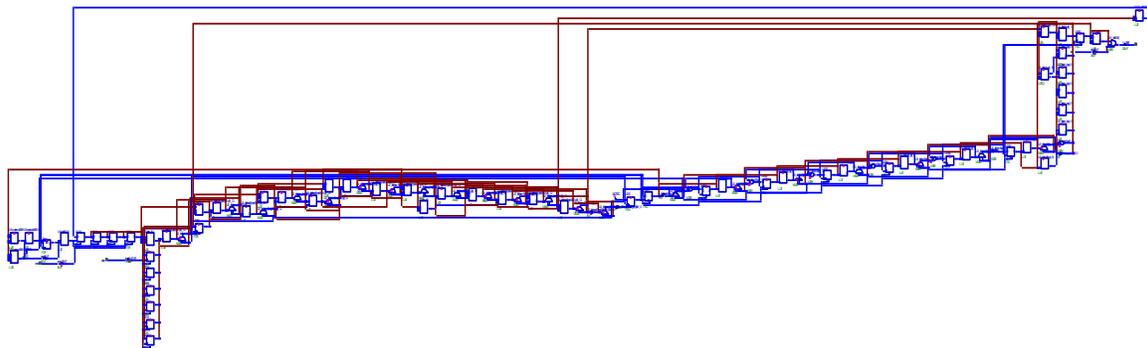


Figura 39 – Síntesis del circuito completo

El circuito de la Figura 39, se agrega en la sección de anexos en mayor tamaño para mejor apreciación.

2.3 Resultados Medidos

En la Figura 40, se observa la tarjeta de desarrollo sobre la cual fue implementado el sistema.



Figura 40 – Spartan 3AN

En la Figura 41 se observa la señal obtenida por el generador de funciones con una onda cuadrada a una frecuencia de 3.5khz.

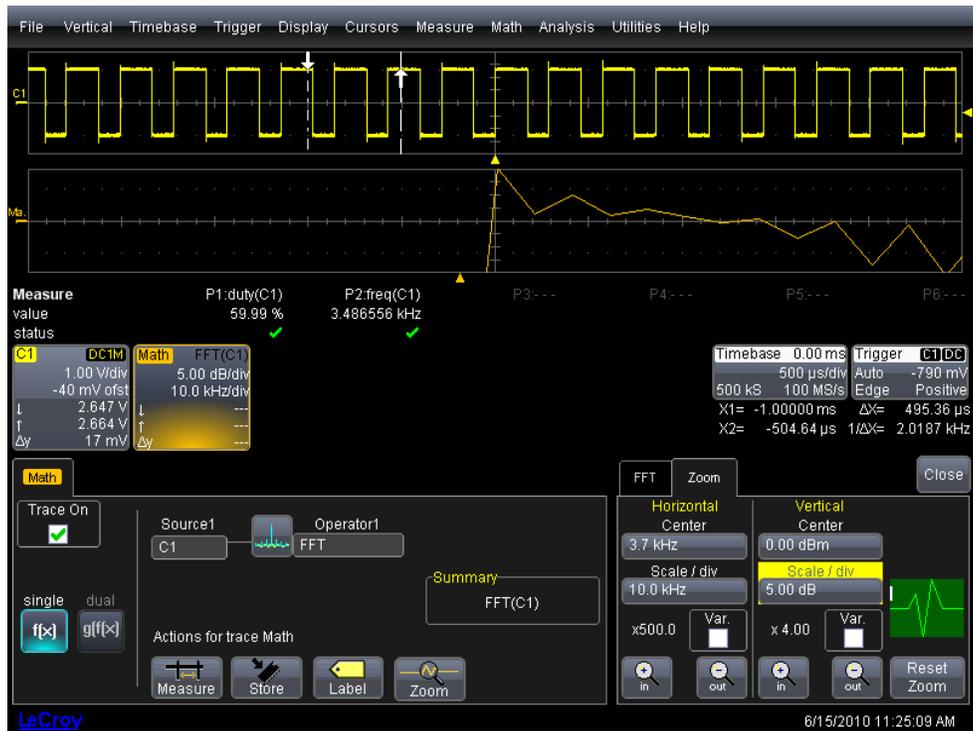


Figura 41 – Señal obtenida del generador de funciones por el osciloscopio

Utilizando el software de Xilinx se cargo el diseño al FPGA Spartan3A y se realiz la medición con los mismos parámetros que con el generador de funciones dando como resultado la gráfica de la Figura 42.

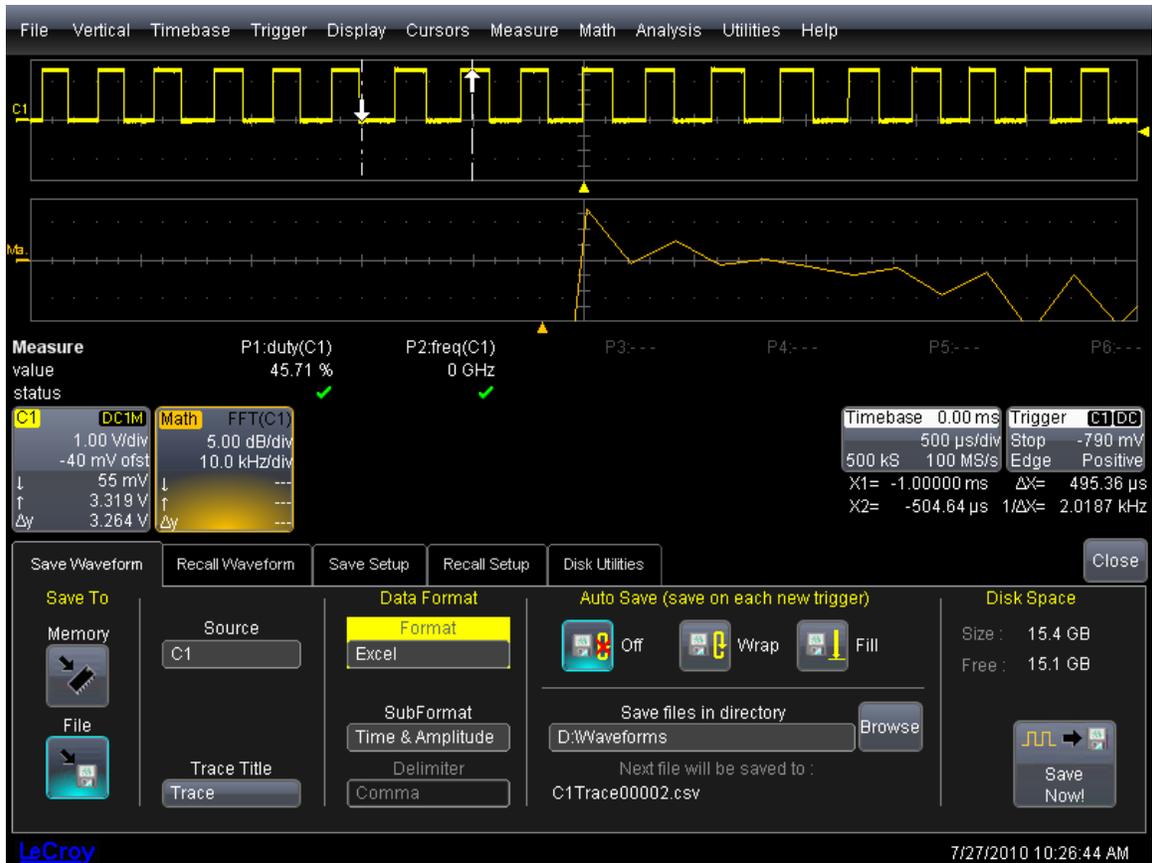


Figura 42 - Señal obtenida del FPGA por el osciloscopio

Comparando la señal obtenida del generador de funciones de la Figura 41, con la señal del FPGA de la Figura 42, se puede observa como existe una disminución en el nivel máximo de potencia.

CONCLUSIONES

La interferencia electromagnética EMI se puede generar de diversas formas, dado que este trabajo está enfocado hacia aplicaciones con fuentes conmutadas de tipo reductor, en las que su principal fuente de generación es la conmutación. Se encontró que las soluciones para corregir el EMI son de igual forma muy amplias y costosas cuando no se corrige desde su origen. Por lo general se encontró que la mayoría de los métodos para corregir la interferencia, lo hacen en una etapa posterior a su origen. Todos estos métodos incrementan el costo total del producto final.

El control digital se realiza en un FPGA utilizando solo los elementos lógicos que conforman su arquitectura, ya que de esta forma se puede tener la alternativa de aprovechar la capacidad de integración y reconfiguración del FPGA anexando el control digital a otro circuito o bien utilizarlo en un circuito integrado de aplicación específica por sus siglas en inglés ASIC.

Se comprobó el funcionamiento de los cuatro módulos que conforman el circuito completo así como el circuito completo, de forma simulada mediante el software Active-HDL y mediante la implementación en el FPGA spartan-3AN. El circuito completo solo utilizó el 1% de capacidad total de FPGA Spartan-3AN. Por lo cual es viable utilizar un dispositivo lógico programable de menor capacidad para así reducir el costo o bien un ASIC.

Dadas las herramientas con las que se contaban no se comprobó la disminución real del EMI ya que para esto es necesario contar con una fuente conmutada y diseñar una red de baja impedancia por sus siglas en inglés LISN.

Los resultados fueron positivos dado que la secuencia y el PWM deseado se pudo obtener a la salida tanto en la simulación en Active-HDL como de forma medida en el Osciloscopio una vez implementado el circuito en el FPGA. Se observa mediante la función FFT del analizador que el nivel se reduce en el FPGA a comparación con la señal cuadrada del generador de funciones.

El circuito solo se utiliza una secuencia pseudo-aleatoria de 4 bits y no se experimentó con otros modelos de secuencias pseudo-aleatorias, dado que el circuito que se encarga de la generación de la señal de reloj resulta muy complejo al aumentar el número de bits de la secuencia pseudo-aleatoria. Por ello otros métodos como la implementación de PLL podrían funcionar de forma más eficiente permitiendo la reducción de espacio en el circuito integrado.

TRABAJOS A FUTURO

Como trabajos a futuro se puede realizar el circuito con distintas secuencias binarias pseudo-aleatoria de diferente lógica y distinto tamaño de palabra.

También se puede implementar el control digital integrando PLL digitales dentro del circuito de control.

REFERENCIAS

- [1].Adolfo Esquivel Martínez "Reducción de Armónicos en PWM" II Jornades De Doctorat-UPC-DEE ETSEIB, p-133-135.
- [2]. Jim Tatsukawa "Spread-Spectrum Clocking Reception for Displays", XAPP469 (v1.0) August 22, 2008.
- [3].Gonzalez D., Balcells j., Santaolaria A., Bunetel J.C, Gago J., Magnon D., Brehaut S. "Evaluation of Switching Frequency Modulation in EMI Emissions Reduction applied to Power Converters" IEEE Trans. On Power Electronics2007.
- [4].Woei-Luen Chen, Yung-Ping Feng, Chun-Hao Pien, "A Simple Approach to the Realization of an FPGA based Harmonic Elimination PWM Generator" Proceedings of the 2008 International Conference on Electrical Machines, Paper ID 734
- [5] Oscar Iván Muñoz Medina, Adolfo Esquivel Martínez, "Implementación en un FPGA de un modulador PWM aplicando la técnica de espectro esparcido", Encuentro Regional Académico 2009.

BIBLIOGRAFIA

- [6] Noise Reduction Techniques In Electronics Systems-second edition, Henry W. Ott, WileyInterSciencie
- [7] Introduction to electromagnetic Compatibility, Clayton R. Paul , WileyInterSciencie.
- [8] CDMA Principles of Spread Spectrum Communication, Andrew J. Viterbi, Addison Wesley-
- [9] Digital Communications, John G. Proakis, McGraw-Hill.
- [10] Sistemas de Comunicación Digitales y Analógicos, Leon W. Couch II, Pearson Educacion.
- [11] Spartan-3A/3AN.FPGA Starter Kit Board User Guide

CYBERGRAFIA

- <http://www.xilinx.com>
- <http://www.altera.com>
- <http://es.wikipedia.org/wiki/Wikipedia:Portada>

GLOSARIO

1. Buffer: espacio de memoria para almacenamiento temporario de datos
2. CISPR: organismo internacional que promulga estándares en orden de facilitar el comercio entre países (International Special Committee on Radio Interference)
3. DSSS: Espectro Esparcido de Secuencia Directa, Direct Sequence spread spectrum,
4. EMC: capacidad de equipos o sistemas electrónicos para trabajar en un entorno electromagnético, operativo y deseado, a niveles de eficiencia designados
5. EMI: deterioro de una señal electromagnética deseada a causa de una perturbación electromagnética
6. EMS: electromagnetic susceptibility, susceptibilidad electromagnética
7. ESD: electromagnetic discharge
8. FAC: fuentes de alimentación conmutada
9. FAL: fuentes de alimentación lineales
10. FCC: En inglés “Federal Communications Commission” Comisión Federal de Comunicaciones
11. FPGA: Arreglo de compuertas programables en campo por sus siglas en inglés Field Programmable Gate Array
12. IEC: Comisión Internacional Electrotécnica
13. ISE – Software propiedad de Xilinx para el diseño digital
14. ITE: tecnología de información
15. Jamming: Interferencia con comunicaciones
16. LUT's: tabla de búsqueda (look up table)
17. MIL-STD: estándar militar publicado por el Departamento de Defensa de Estados Unidos
18. VHDL: VHDL-VHSIC – *por sus siglas en inglés Very High Speed Integrated Circuit, circuito integrado de muy alta velocidad*

ANEXOS

Participaciones y reconocimientos

Concurso de Diseño 7th International System-On-Chip(SoC) Conference
4 de Noviembre, Newport Beach, California

Seminario académico CITEDI

"Perspectivas de género y violencia en la institución de educación superior",
23 de octubre 2009

"Implementación en un FPGA de un modulador PWM aplicando la técnica de espectro
esparcido", 13 de noviembre 2009

V Encuentro Regional Académico (ERA)

"Implementación en un FPGA de un modulador PWM aplicando la técnica de espectro
esparcido" 11 y 12 de Noviembre del 2009

Participación como apoyo en la organización y desarrollo del V encuentro regional
académico 11 y de 12 de Noviembre del 2009

VII semana de ingeniería, conferencia "VHDL y programación en FPGA's" 10 de
Septiembre 2009 Cetys Universidad,

Asistencia al Taller de Diseño Digital con lenguajes de Descripción de Hardware y
FPGA's" 12 y 13 de diciembre 2008

Asistencia a la Conferencia" El uso de la propiedad intelectual en las instalaciones de
educación superior en el mundo: herramienta para transferir tecnología" impartida por Dr
jose luis herce-vigil, 9 de octubre del 2009, Universidad Autónoma de Baja California

Participación en entrevista en radio, 6 de Octubre del 2009, Radio Tecnológico 88.7 FM

Ponente en IV Semana de Electrónica con el tema "FPGA's y programación en VHDL"
18 de Noviembre 2009, CECYTEBC.

SAVANT

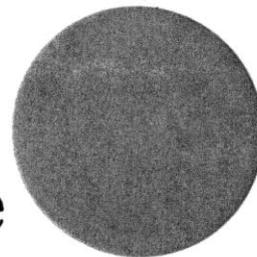
COMPANY INC

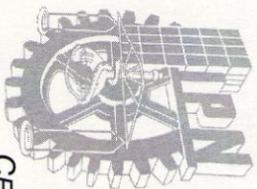
**7th International System-on-Chip (SoC)
Conference, Exhibit & Workshops
November 4 & 5, 2009 — Newport Beach, California**

Oscar I. Munoz

CITEDI

Full Conference





INSTITUTO POLITÉCNICO NACIONAL
CENTRO DE INVESTIGACIÓN Y DESARROLLO DE TECNOLOGÍA DIGITAL

OTORGA EL PRESENTE

RECONOCIMIENTO

AL

Ing. Oscar Iván Muñoz Medina

POR SU BRILLANTE PARTICIPACIÓN EN EL SEMINARIO ACADÉMICO CON LA CONFERENCIA:

“Perspectivas de Género y Violencia en la Institución de Educación Superior”

“La Técnica al Servicio de la Patria”




Dr. Luis A. González Hernández
Director

Tijuana, Baja California, 23 octubre 2009

El presente se encuentra registrado en el libro de

validaciones número 1146 hoja 43

Bajo el folio RS061023

Tijuana, B.C. a 23 de octubre de 2009.

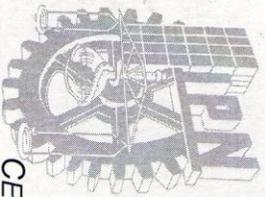
Certifica


Lic. Blanca Estela Becerra Paredes

Jefe del Departamento de Apoyo
Académico del CITEDI IPN



S. E. P.
INSTITUTO POLITÉCNICO NACIONAL
CENTRO DE INVESTIGACION Y DESARROLLO
DE TECNOLOGÍA DIGITAL
DIRECCIÓN



INSTITUTO POLITÉCNICO NACIONAL
CENTRO DE INVESTIGACIÓN Y DESARROLLO DE TECNOLOGÍA DIGITAL

OTORGA EL PRESENTE

RECONOCIMIENTO

AL

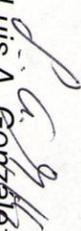
Ing. Oscar Iván Muñoz Medina

POR SU BRILLANTE PARTICIPACIÓN EN EL SEMINARIO ACADÉMICO DE LA ESPECIALIDAD
EN SISTEMAS INMERSOS CON LA CONFERENCIA:

**“Implementación en un FPGA de un Modulador PWM
Aplicando la Técnica de Espectro Esparcido”**

“La Técnica al Servicio de la Patria”




Dr. Luis A. González Hernández
Director

Tijuana, Baja California, 13 noviembre 2009

El presente se encuentra registrado en el libro de
validaciones número 1211 hoja 46

Bajo el folio RS021113

Tijuana, B.C. a 13 de noviembre de 2009.

Certifica



Lic. Blanca Estela Beerra Paredes
Jefe del Departamento de Apoyo
Académico del CITEDI - IPN



S. E. P.
INSTITUTO POLITÉCNICO NACIONAL
CENTRO DE INVESTIGACION Y DESARROLLO
DE TECNOLOGÍA DIGITAL
DIRECCIÓN



Instituto Politécnico
Nacional



Centro de Investigación y Desarrollo
de Tecnología Digital

Otorga el presente

RECONOCIMIENTO

A:

Oscar I. Muñoz Medina y Adolfo Esquivel Martínez

Por su participación como expositor de la conferencia Implementación en un FPGA de un modulador PWM aplicando la técnica de espectro esparcido, dentro del V Encuentro Regional Académico, "ERA 2009" realizado los días 11 y 12 de Noviembre.

"La técnica al servicio de la patria"


DR. LUIS ARTURO GONZÁLEZ HERNÁNDEZ
Director

La presente se encuentra registrada en el libro
de validación número 1197 hoja 45,
bajo el folio PC31111.

Tijuana, B.C. a 11 de Nov. del 2009

Certifica:



S. E. P.
INSTITUTO POLITÉCNICO NACIONAL
CENRO DE INVESTIGACION Y DESARROLLO
DE TECNOLOGÍA SIGMA
DIRECTOR



Instituto Politécnico
Nacional



Otorga el presente

RECONOCIMIENTO

A:

Oscar Ivan Muñoz Medina

Por su apoyo en la organización y desarrollo del V Encuentro Regional Académico, "ERA 2009" realizado los días 11 y 12 de Noviembre.

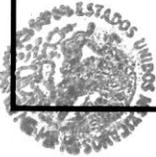
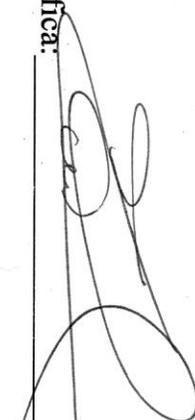
"La técnica al servicio de la patria"


DR. LUIS ARTURO GONZÁLEZ HERNÁNDEZ
Director

La presente se encuentra registrada en el libro
de validación número 1228 hoja 47,
bajo el folio RC061208.

Tijuana, B.C. a 08 de Dic. del 09

Certifica: _____



S. E. P.
INSTITUTO POLITÉCNICO NACIONAL
DIRECCIÓN DE INVESTIGACIÓN Y DESARROLLO
DE TECNOLOGÍA DIGITAL
DIRECCIÓN

El Centro de Enseñanza Técnica y Superior



Otorga el Presente

RECONOCIMIENTO

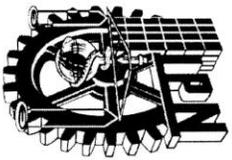
A: Oscar Muñoz

Por su destacada participación con la conferencia "VHDL y programación de FPGAs" en la VIII Semana de Ingeniería. Tijuana, Baja California. 10 de Septiembre de 2009.



M.C. Roberto Salas Corrales
Director de la Escuela de Ingeniería





INSTITUTO POLITÉCNICO NACIONAL



El Centro de Investigación y Desarrollo de Tecnología Digital

“La Técnica al Servicio de la Patria”

Otorga el presente Reconocimiento a:

OSCAR I. MUÑOZ M.

Por su asistencia al Taller de Diseño Digital con Lenguajes de Descripción de Hardware y FPGA's, con una duración de 12 horas, impartido los días 12 y 13 de diciembre del 2008.

Dr. Luis Arturo González Hernández

Director



S. E. P.

INSTITUTO POLITÉCNICO NACIONAL
CENTRO DE INVESTIGACIÓN Y DESARROLLO
DE TECNOLOGÍA DIGITAL
DIRECCION

Tijuana, Baja California 13 Diciembre 2008.



UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA
Coordinación de Formación Profesional y Vinculación Universitaria

Otorga la presente

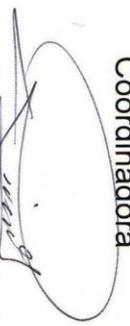
CONSTANCIA

a: **Oscar Iván Muñoz Medina**

Por su asistencia a la Conferencia: "El Uso de la Propiedad Intelectual en las Instituciones de Educación Superior en el Mundo: Herramienta para Transferir Tecnología" impartida por el Dr. José Luis Herce-Vigil. Director de la Oficina Regional de Asia de la Organización Mundial de la Propiedad Intelectual, que se llevo a cabo el día 09 de octubre, en la Sala de Actualización Profesional de la Unidad Tijuana.

Tijuana, Baja California, a 09 de octubre de 2009
"POR LA REALIZACIÓN PLENA DEL HOMBRE"

Coordinadora


MTRA. IRMA RIVERA GARIBALDI





Otorga el presente

RECONOCIMIENTO

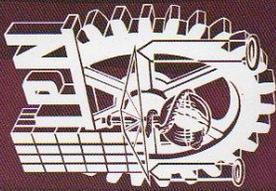
A:

Ing. Oscar Iván Muñoz Medina

Por su participación en la entrevista en Radio Tecnológico, llevada
acabo el día 6 de octubre del 2009

"La técnica al servicio de la patria"

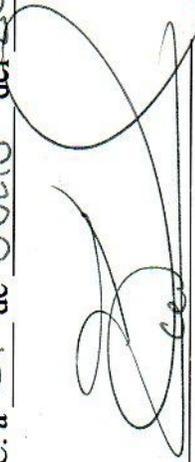

DR. LUIS ARTURO GONZÁLEZ HERNÁNDEZ
Director



Instituto Politécnico
Nacional

La presente se encuentra registrada en el libro
de validación número 128 hoja 54,
bajo el folio PC020701.

Tijuana, B.C. a 01 de JULIO del 2010

Certifica: 



S. E. P.
INSTITUTO TECNOLÓGICO NACIONAL
CENTRO DE INVESTIGACION Y DESARROLLO
DE TECNOLOGÍA INDUSTRIAL
TIJUANA



EL COLEGIO DE ESTUDIOS CIENTÍFICOS Y TECNOLÓGICOS DEL ESTADO DE BAJA CALIFORNIA.



Otorga el presente

Reconocimiento

A: **Ing. Oscar I. Muñoz Medina**

Por su magna participación como ponente en nuestra "IV Semana de **Electrónica**" con el tema "FPGA's y programación en VHDL" realizada el día 18 de noviembre en las instalaciones de nuestro plantel dirigido a los alumnos de la **especialidad de Electrónica.**

ARQ. RIGOBERTO G. GONZÁLEZ RAMOS
DIRECTOR DEL PLANTEL CECYTE VILLAS DEL SOL.



Tijuana, Baja California, noviembre de 2009



'Educación para la vida y el trabajo'