

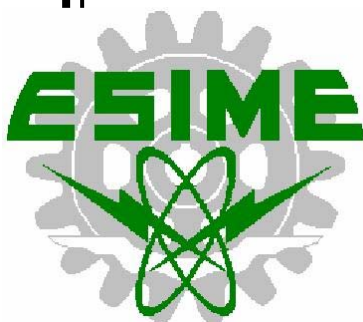


INSTITUTO POLITÉCNICO NACIONAL

ESCUELA SUPERIOR DE INGENIERÍA MECÁNICA Y ELÉCTRICA
UNIDAD ZACATENCO

*“IMPLEMENTACION DE LA TECNICA DE MODULACION ELIMINACION
SELECTIVA DE ARMONICOS”*

T E S I S
QUE PARA OBTENER EL TÍTULO DE
INGENIERO ELECTRICISTA
P R E S E N T A :
I S M A E L B E N I T E Z R I V E R A



MÉXICO, D. F.

2008

INSTITUTO POLITECNICO NACIONAL
ESCUELA SUPERIOR DE INGENIERIA MECANICA Y ELECTRICA
UNIDAD PROFESIONAL " ADOLFO LOPEZ MATEOS"

T E M A D E T E S I S

**QUE PARA OBTENER EL TITULO DE
POR LA OPCION DE TITULACION
DEBERA(N) DESARROLLAR**

**INGENIERO ELECTRICISTA
TESIS INDIVIDUAL Y EXAMEN ORAL
C. ISMAEL BENITEZ RIVERA**

"ELIMINACIÓN SELECTIVA DEL 3° Y 5° ARMONICO, BASANDOSE EN EL PIC16F627A."

IMPLEMENTAR LA MODULACIÓN DEL ANCHO DE LOS PULSOS POR LA TÉCNICA DE "ELIMINACIÓN SELECTIVA DE ARMONICOS", EN PARTICULAR DEL 3° Y 5° ARMONICO USANDO EL PIC16F627A, PARA GENERAR LAS SEÑALES DE CONTROL.

- ❖ INTRODUCCIÓN
- ❖ OPERACIÓN DEL MEDIO PUNTE INVERSOR Y MÉTODO GENERALIZADO DE ELIMINACIÓN DE ARMONICOS.
- ❖ IMPLEMENTACIÓN DE LA TÉCNICA DE MODULACIÓN ELIMINACIÓN SELECTIVA DE ARMONICOS.
- ❖ ANÁLISIS DE LOS RESULTADOS Y CONCLUSIONES.


México D.F., A 06 de Octubre de 2008.

ASESORES


M. en C. MANUEL GARCÍA LÓPEZ


ING. GUILLERMO BASILIO RODRÍGUEZ


ING. JORGE HERRERA AYALA
JEFE DEL DEPARTAMENTO DE
INGENIERIA ELÉCTRICA


JEFATURA DE
INGENIERIA ELECTRICA

Dedicatoria

El día de hoy, decidí sentarme a escribir esta parte en especial de mi tesis, la dedicatoria.

Son tantas personas y hechos que se me vienen a la mente, y por ello se que estoy en sintonía conmigo mismo. Hace algún tiempo, para ser exacto 16 años, inicie mis estudios, mis padres se encargaron de llevarme a la escuela, y aunque no lo recuerdo exactamente, se que fue un día que cambiaría toda tu vida. Fui creciendo y aprendiendo cada día las lecciones de mis maestros, viviendo las experiencias de la vida con mi familia, mis amigos y toda persona con que interactuaba y casi sin darme cuenta pasaron los años hasta días actuales en los que presentare mi trabajo final.

*Quiero dar gracias antes que nada a esa fuerza tan grande que muchas veces he sentido en mi vida, algunas personas lo llaman **Díos**, y muchas mas de otra forma, lo único que se es que en los momentos mas difíciles en los que creía desvanecerme, sentía una fuerza enorme en toda mi persona que me llenaba de energía para continuar adelante.*

***A mis padres**, Magdaleno y María de Jesús, quiero decirles que estoy muy orgulloso de ser su hijo, infinitamente agradecido por creer en mí. Gracias a su apoyo y sus sabios consejos que siempre llevare conmigo y que ahora son parte de mí. También a mis hermanos Eduardo y Cesar por sus palabras en los momentos más difíciles, por ustedes y mis padres, siempre buscare ir hacia adelante.*

He vivido como todo ser humano momentos agradables y otros no tan agradables. Ahora comprendo que definitivamente no se pude conocer la calma del mar si no se ha conocido la tempestad. Que es necesario ser fuerte de mente y corazón para poder triunfar ante los retos que nos presenta la vida misma, sin dejar lo más importante y esencial, ser un buen humano.

Agradecimientos

Al Instituto Politécnico Nacional por la educación recibida en sus aulas, y a la sección de estudios de Postgrado e investigación, por el apoyo brindado para la realización de este trabajo.

A mi madre María de Jesús Rivera Castillo y mi Padre Magdaleno Benítez Rodríguez por siempre brindarme todo su apoyo y por hacer de mis sueños, sus sueños también.

Al M. en C. Manuel García López, por sus enseñanzas y consejos tanto profesional como humano en todo momento.

Al M. en C. Javier Herrera Espinosa, por la paciencia e interés en la revisión de este trabajo y lograr con sus opiniones mejoras vitales e importantes.

Al Lic. Héctor Abelleira Vergara que de una forma muy significativa siempre me ha estimulado con el ejemplo a dar lo mejor de mí.

A cada uno de mis maestros del instituto, por contribuir a mi crecimiento humano - profesional, a la Ing. Alejandra Montes Servín, el Ing. Galindo, el Ing. Evaristo Casares, Ing. Domingo Almendares, entre muchos otros más que recuerdo con gran aprecio y admiración.

De igual manera a todas las personas que han estado al pendiente de mí de diversas formas.

Muchas Gracias!!!!

CONTENIDO

TEMA	PAG.
Dedicatoria.....	i
Agradecimientos.....	ii
Contenido.....	iii
Glosario de términos.....	v
Indice de figuras.....	vi
Resumen.....	viii
CAPITULO 1. INTRODUCCION.....	1
1.1. Objetivo.....	1
1.2. Justificación.....	2
1.3. Antecedentes.....	3
1.3.1. Medio puente (half bridge).....	5
1.3.2. Puente completo (full bridge).....	6
1.3.3. PWM senoidal.....	8
1.3.4. PWM vectores espaciales.....	10
1.3.5. Eliminación selectiva de armónicos.....	11
1.4. Organización de la tesis.....	14
CAPITULO 2. OPERACION DEL MEDIO PUENTE INVERSOR Y METODO GENERALIZADO DE ELIMINACION DE ARMONICOS.....	15
2.1. Medio puente Inversor.....	15
2.2. Método generalizado de eliminación de armónicos en el medio puente inversor.....	19
2.2.1. Método numérico para solucionar el sistema de ecuaciones no-lineales.....	25
2.2.2. Formulación del problema, y algoritmo generalizado para la obtención de la solución...	28
2.2.3. Resultados.....	29
2.2.3.1. El problema de dos dimensiones.	31
CAPITULO 3. IMPLEMENTACION DE LA TECNICA DE MODULACION PARA LA ELIMINACION SELECTIVA DE ARMONICOS.....	36
3.1. Descripción general y por bloques de elementos Integrantes.....	36
3.2. Etapa digital.....	37
3.3. Etapa de aislamiento.....	39
3.4. Etapa de potencia.....	41

CAPITULO 4 RESULTADOS OBTENIDOS.....	51
4.1. Introducción.....	51
4.2. El inversor.....	51
4.2.1. Etapa digital y de aislamiento.....	52
4.2.2. Etapa de potencia.....	53
4.3 Graficas obtenidas a la salida del inversor.....	56
4.4. Conclusiones.....	58
4.5 Trabajos futuros.....	59
Apéndice A Programa PIC16F627A.....	60
Apéndice B Especificaciones eléctricas PIC16F627A.....	65
Referencias.....	67

GLOSARIO DE TERMINOS

CA	Corriente alterna.
CD	Corriente directa.
CFI	Inversor alimentado por corriente.
DF	Factor de distorsión.
DSP	Procesador digital de señales.
FFT	Transformada rápida de Fourier.
HF _n .	Factor armónico de la n-ésima armónica.
IEM	Interferencia electromagnética.
IGBT	Transistor bipolar de compuerta aislada.
LOH	Armónico de orden más bajo.
MHz	Mega Hertz.
MOSFET	Transistor de efecto de campo de óxido de metal semiconductor.
PIC	Controlador de interfaz Periferico
PWM	Modulación por ancho de pulso.
RAM	Memoria de acceso aleatorio.
RMS	Raíz cuadrático medio, valor efectivo.
SCR	Rectificador controlado de silicio.
SHE	Eliminación selectiva de armónicos.
SVPWM	Modulación por vectores espaciales del ancho de los pulsos.
THD	Distorsión armónica total.
VFI	Inversor alimentado por voltaje.
V _s	Voltaje de la fuente.

INDICE DE FIGURAS

<i>Figura 1.1 Clasificación de los inversores.....</i>	4
<i>Figura 1.2 Inversor puente medio.....</i>	6
<i>Figura 1.3 Formas de onda con carga resistiva.....</i>	6
<i>Figura 1.4 Esquema eléctrico de un inversor en puente completo.....</i>	7
<i>Figura 1.5 Combinaciones posibles para el control de un inversor en puente completo.....</i>	7
<i>Figura 1.6 Forma de onda en un inversor aplicando la modulación senoidal... </i>	9
<i>Figura 1.7.- Diagrama de bloques del control SVPWM.....</i>	11
<i>Figura 1.8 Forma de onda característica en un inversor aplicando la eliminación selectiva de armónicos.....</i>	12
<i>Figura 2.1.- Inversor medio puente.....</i>	15
<i>Figura 2.2.- Forma de onda en un inversor medio puente.....</i>	15
<i>Figura 2.3.- Inversor medio puente alimentando una carga RL.....</i>	18
<i>Figura 2.4.- Formas de onda en un inversor en medio puente con carga RL.....</i>	18
<i>Figura 2.5.- Forma de onda característica en un inversor aplicando la eliminación selectiva de armónicos.....</i>	20
<i>Figura 2.6. Algoritmo computacional para método numérico de la sección 2.2.....</i>	30
<i>Figura 2.7.- Solución grafica para eliminar el tercer y quinto armónico.....</i>	32
<i>Figura 2.8.- Solución grafica para eliminar el quinto y séptimo armónico.....</i>	33
<i>Figura 2.9.- a) Forma de onda sin el tercer y quinto armónico, b) Forma de onda sin el quinto y séptimo armónico.....</i>	34
<i>Figura 3.1.- Etapas para la implementación.....</i>	36
<i>Figura 3.2.- Diagrama general del circuito. A) Etapa digital, B) Etapa de aislamiento, C) Etapa de potencia.</i>	36
<i>Figura 3.3.- Ubicación de los pines en el PIC.....</i>	37
<i>Figura 3.4 Diagrama funcional para la programación del PIC.....</i>	38
<i>Figura 3.5.- Compuerta inversora.....</i>	39
<i>Figura 3.6.- Optoacoplador HP2531.....</i>	41
<i>Figura 3.7.- Diagrama a bloques del IR2110.....</i>	42
<i>Figura 3.8.- Diagrama de tiempos para las salidas / entradas del IR2110.....</i>	43
<i>Figura 3.9.- Esquema del circuito de Bootstrap para el IR2110.....</i>	43
<i>Figura 3.10.- Diagrama eléctrico de la etapa de potencia.....</i>	47
<i>Figura 3.11.- Gráficas de temperatura, a) temperatura vs corriente, b) temperatura vs potencia disipada.....</i>	49
<i>Figura 3.12.- Grafica que muestra el tiempo muerto de las señales obtenidas del PIC.....</i>	50
<i>Figura 4.1.- Inversor medio puente.....</i>	51
<i>Figura 4.2.- Inverso medio puente en conjunto con el equipo necesario para obtener las señales de salida.....</i>	51
<i>Figura 4.3.- Señales generadas por el PIC 16F627A.....</i>	51
<i>Figura 4.4.- Disposición física del IR2110.....</i>	53

<i>Figura 4.5.- Conexiones a los IGBT's provenientes de las salidas del IR2110.....</i>	54
<i>Figura 4.6.- Conexión de la carga.....</i>	54
<i>Figura 4.7.- Se muestra las formas de onda tomadas en la carga.....</i>	55
<i>Figura 4.8.- Figura que muestra el tiempo muerto en la señal de salida.....</i>	55
<i>Figura 4.9.- Esta figura muestra al inversor trabajando energizado y alimentando la carga.....</i>	56
<i>Figura 4.10.- Transformada rápida de Fourier (FFT).....</i>	56
<i>Figura 4.11.- Oscilograma de frecuencias.....</i>	57

Resumen

En la presente tesis, se describe la implementación de la técnica de modulación “Eliminación selectiva de armónicos” para un medio puente inversor. Para ello se inicia con la explicación teórica sobre los inversores y los tipos de modulaciones más comunes. A continuación se presentan las formulaciones matemáticas que sustentan la eliminación. Posteriormente pasamos a la etapa en la que se implementa la técnica de modulación, y con ello la descripción del circuito electrónico y cada uno de los dispositivos electrónicos utilizados. Por último, se presentan los resultados obtenidos y la comprobación de la teoría.

CAPITULO I

INTRODUCCION

Los inversores se ubican en la electrónica de potencia en el campo de la conversión de la energía eléctrica, en concreto en la conversión de corriente directa – a corriente alterna (CD – CA) [1]. La evolución que han experimentado los semiconductores, en términos de la frecuencia de conmutación, pérdida en la conducción y la facilidad de gobierno, han contribuido en gran medida a la popularización de este tipo de convertidores y a su evolución. En este tipo de circuitos, de mediana y alta potencia; la tendencia es disminuir los costos y aumentar la eficiencia, objetivo que pasa por optimizar los dispositivos semiconductores empleados; el auge experimentado en el campo de la electrónica digital, ha permitido que los procesadores estén al alcance de los diseñadores a muy bajo costo y con potentes herramientas de depuración y desarrollo.

La forma de onda del voltaje de salida de los inversores ideales debería ser senoidal; sin embargo, las de los inversores prácticos no lo son debido a que contienen armónicas.

En aplicaciones de potencia baja e intermedia se pueden aceptar voltajes de onda cuadrada o de onda casi cuadrada, y para aplicaciones con alta potencia se requieren formas de onda senoidal con poca distorsión.

1.1 Objetivo.

Eliminar el 3° y 5° armónico en un medio puente inversor fuente de voltaje, por medio de la técnica de modulación “Eliminación Selectiva de Armónicos” (SHE), usando el PIC16F627A, para generar las señales de control.

1.2 Justificación.

Uno de los problemas más grandes en aspectos de calidad de potencia es el contenido armónico en los sistemas eléctricos. Generalmente los armónicos se pueden dividir en dos tipos: 1) Armónicos de tensión, y 2) Armónicos de corriente. Los armónicos de corriente dependen del tipo de carga, pudiendo ser carga resistiva, carga capacitiva, carga inductiva o la combinación de cualquiera de estas. Ambos armónicos se pueden generar por la fuente o el lado de la carga. Los armónicos generados por la carga son causados por la operación no lineal del dispositivo, incluyendo los convertidores de energía, los hornos de arco, los dispositivos de iluminación alta descarga de gas, etc. Los armónicos de la carga pueden causar el recalentamiento de los centros magnéticos del transformador y de motores. Por otra parte, los armónicos de la fuente son generados principalmente por la fuente de alimentación con voltaje no senoidal y/o formas de onda actuales no senoidales. Armónicos causados por tensión y corriente implican pérdidas de potencia. Los armónicos son causantes de Interferencia electromagnética (IEM) y par pulsante en motores de CA, por solo mencionar algunos de sus estragos.

En los convertidores de potencia CD/CA con la disponibilidad de los dispositivos semiconductores de potencia de alta velocidad, se pueden minimizar los contenidos armónicos del voltaje de salida, o al menos reducirlos en forma importante, mediante técnicas de conmutación.

Por tanto se requiere de una técnica de modulación específica que centre su atención en el contenido armónico a la salida del convertidor. Dicha técnica es analizada e implementada en la presente tesis.

1.3 Antecedentes.

A partir de la llegada de los semiconductores; SCR, Transistor, IGBT y MOSFET, se ha hecho un progreso significativo en la construcción de inversores sofisticados, los cuales tienen una amplia utilización en gran cantidad de actividades.

Este tipo de convertidores se ha visto fuertemente impulsado en su desarrollo gracias a una de sus aplicaciones, que es el accionamiento de maquinas eléctricas de corriente alterna. Los inversores han venido a sustituir los tradicionales reductores mecánicos en el campo del control de motores, con indudables ventajas con respecto a estos: mejor rendimiento, ausencia de elementos mecánicos de desgaste, vibraciones, mayor versatilidad en el control etc.

En la mayoría de las aplicaciones del inversor es deseable tener un voltaje de salida CA con frecuencia y amplitud variables. El sistema de impulso del motor de CA con velocidad variable es el área principal del uso del inversor con frecuencia variable. Obviamente los voltajes con forma de onda lo mas cercana a una senoidal pura son deseables en esta y otras aplicaciones del mismo.

Con la tecnología existente, los equipos con salida de CA con frecuencia variable son una realidad, aunque muchos problemas relacionados necesitan ser solucionados para obtener una salida senoidal libre de distorsiones.

Muchas técnicas se han desarrollado para reducir los armónicos en la salida del inversor. La modulación de ancho de pulso es actualmente el método más popular y más económico de controlar el voltaje y la frecuencia.

Se han desarrollado métodos que emplean inversores múltiples en paralelo para obtener frecuencia variable, y/o voltaje variable de salida.

Algunas versiones incorporan esquemas de eliminación de armónicos para obtener una salida casi senoidal.

La disponibilidad de los dispositivos semiconductores de alta potencia con tiempo de apagado de algunos microsegundos ha aumentado la viabilidad de obtener una salida prácticamente senoidal empleando patrones sofisticados de conmutación en los circuitos del inversor.

En 1973 Patel y Hoft, [3] presentaron una técnica de modulación que a partir de la obtención y solución de ecuaciones no lineales permite obtener los tiempos de conmutación de los dispositivos semiconductores del inversor y de esta manera eliminar efectivamente armónicos en específico.

Existen diversos criterios en cuanto a la clasificación de los inversores; en la figura 1.1 se muestra una de las clasificaciones más comunes.

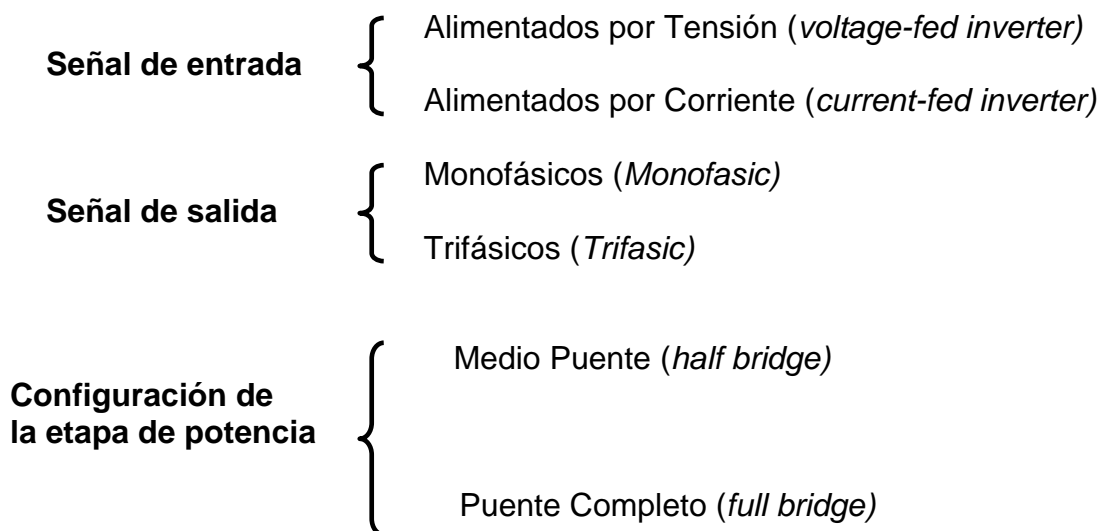


Figura 1.1 Clasificación de los inversores.

Los términos entre paréntesis de la figura 1.1 corresponden a sus equivalentes en inglés, que es como normalmente se encuentra en la literatura disponible.

En función de las características de la señal de entrada, los inversores se clasifican en: alimentados por tensión o alimentados por corriente.

Un inversor se llama *inversor alimentado por voltaje* (VFI, de *voltage-fed inverter*) si el voltaje de entrada permanece constante [6]. Un *inversor se llama alimentado por corriente* (CFI, de *current-fed inverter*) si la corriente de entrada se mantiene constante.

Otra clasificación de los inversores puede hacerse en función del número de fases de la señal de salida; en este sentido se pueden dividir en dos tipos:

- ❖ Inversores Monofásicos
- ❖ Inversores Trifásicos.

Las salidas normales monofásicas son 1) 120V a 60 Hz, 2) 220V a 50 Hz y 3) 115V a 400 Hz. Para sistemas trifásicos, las salidas normales son 1) de 220 a 380V a 50Hz, 2) 120 a 208V a 60 Hz y 3) de 115 a 200V a 400Hz.

La topología de potencia de un inversor depende de las dos clasificaciones anteriores, no obstante existen dos configuraciones básicas:

1.3.1. Medio Puente (*Half Bridge*).

El principio de los inversores monofásicos se puede explicar en base a la figura 1.2. El circuito del inversor consiste de dos semiconductores. Cuando solo enciende el transistor Q_1 durante el tiempo $T_0/2$, el voltaje instantáneo v_o a través de la carga es $V_s/2$. Si el transistor Q_2 se enciende durante un tiempo $T_0/2$, aparece $-V_s/2$ a través de la carga. El circuito lógico se debe diseñar de tal modo que Q_1 y Q_2 no estén activos al mismo tiempo. La figura 1.3 muestra las formas de onda del voltaje de salida y las corrientes en el transistor, con carga resistiva.

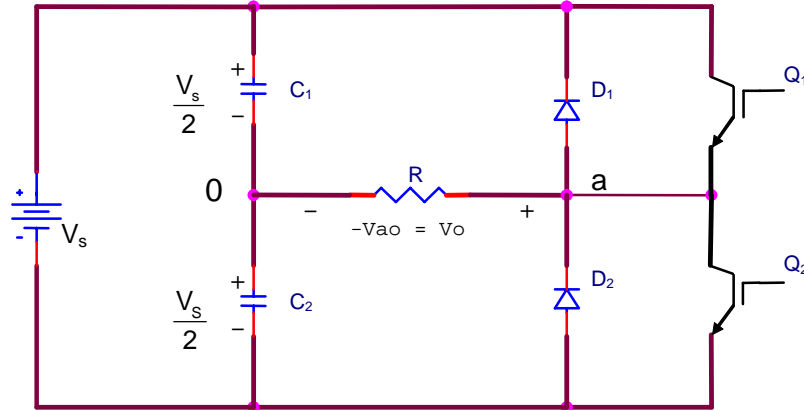


Figura 1.2 Inversor puente medio.

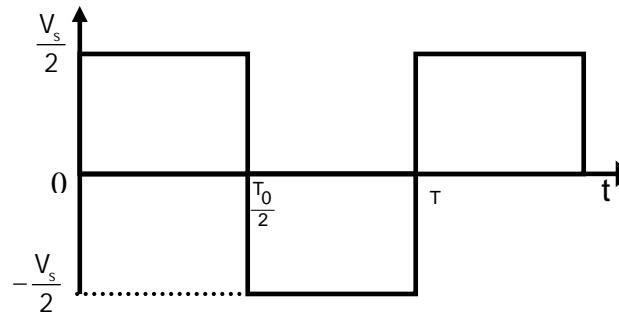


Figura 1.3 Formas de onda con carga resistiva.

1.3.2. Puente Completo (*Full Bridge*).

En la figura 1.4, se muestra el esquema eléctrico de un inversor en puente completo. Un puente completo se compone de cuatro interruptores (que equivaldría a tener 2 puentes medios) agrupados en dos ramas. Una primera rama formada por los interruptores Q_1 y Q_2 y una segunda rama por Q_3 y Q_4 .

Al disponer de cuatro interruptores, el número de estados posibles es mayor que en medio puente.

Eliminando aquellas combinaciones que dan lugar a cortocircuitos de rama y aquellas en que la carga queda 'desconectada' se dispone de cuatro combinaciones de estados posibles. Estas combinaciones se ilustran en la figura 1.5. La tensión de salida puede tomar tres estados distintos: V_s , $-V_s$ y 0. Esta característica permite mayores posibilidades de control.

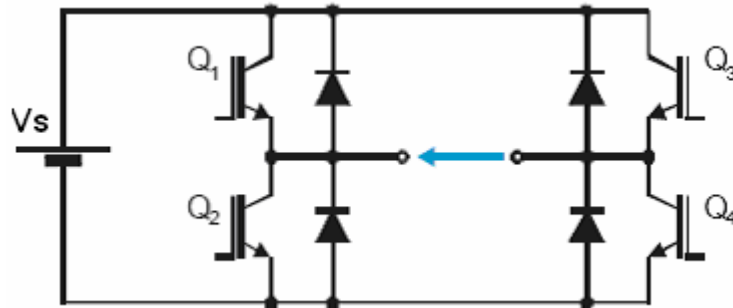


Figura 1.4 Esquema eléctrico de un inversor en puente completo.

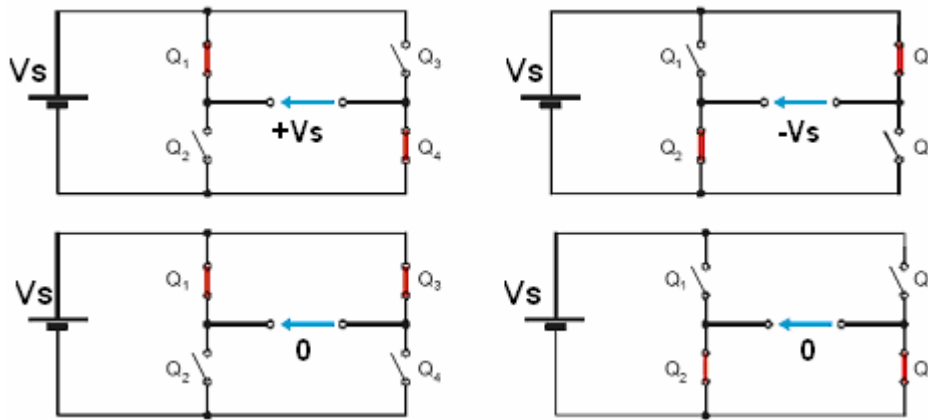


Figura 1.5 Combinaciones posibles para el control de un inversor en puente completo.

En las topologías descritas anteriormente los dispositivos de interrupción (MOSFETS, IGBTs, etc.) requieren de una señal de control que permita un tiempo de conducción de los mismos para poder obtener la salida deseada en el inversor, sin incurrir en una condición de cortocircuito para la fuente del sistema. Estos inversores usan en general señales de control por modulación por ancho de pulso PWM (*por sus siglas en inglés, Pulse Width Module*) para producir un voltaje de salida de CA.

Entre las diferentes modulaciones existentes hay tres que sobresalen debido a su sencillez y eficacia:

- ❖ PWM Senoidal
- ❖ PWM Vectores espaciales
- ❖ PWM Eliminación selectiva de armónicos

1.3.3. PWM Senoidal.

Esta técnica se basa en la comparación de niveles de tensión entre una portadora (señal triangular o rampa) y una señal moduladora de referencia (señal senoidal).

La tensión de salida se muestra en la figura 1.6.

Su principal ventaja consiste en que genera un espectro de CA sin armónicos de bajo orden. La principal desventaja de esta técnica en un sistema trifásico es que la máxima ganancia posible en CA (G_{CA}) es igual a 0.866 en la tensión entre fases. En muchas aplicaciones la ganancia en CA se tiene que elevar mediante el uso de un transformador lo cual es un inconveniente.

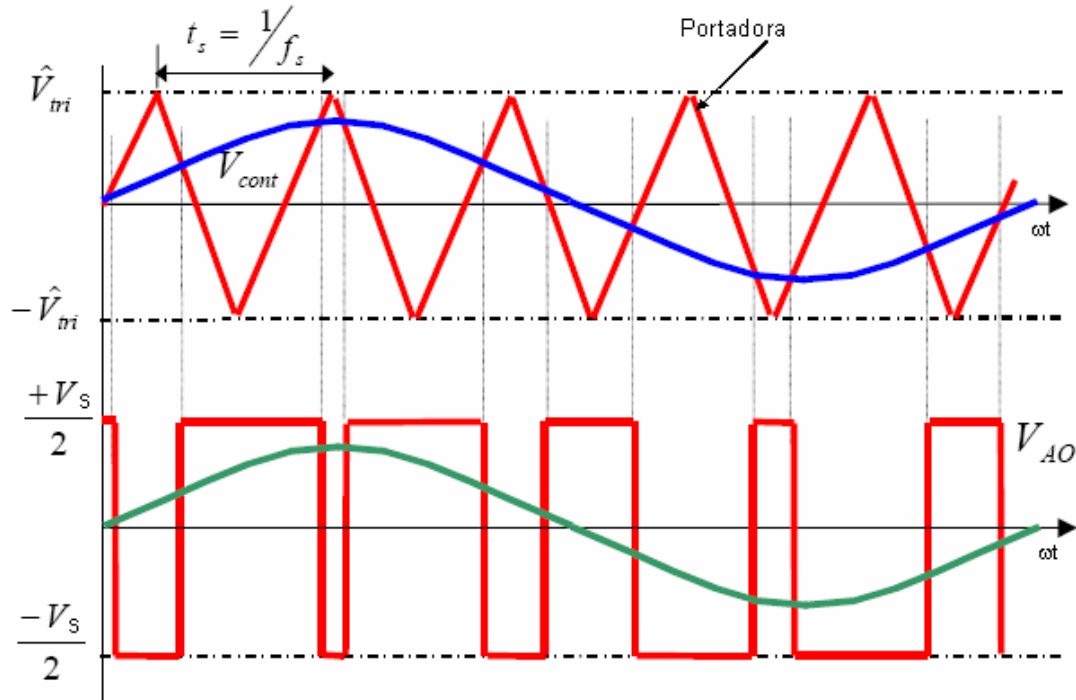


Figura 1.6 Forma de onda en un inversor aplicando la modulación senoidal.

$f_s = \frac{1}{t_s}$: Frecuencia de modulación (frecuencia de la onda triangular que será constante).

▪ \hat{V}_{cont} : Maximo de la señal de control.

\hat{V}_{tri} : Maximo de la señal triangular (constante).

Sin embargo, el filtrado a la salida del inversor para obtener la señal fundamental es más eficiente, debido a que la frecuencia de conmutación es alta, básicamente la de la portadora f_c .

Lo anterior reduce el tamaño del filtro en la salida, pero debido a la frecuencia a que están conmutando los dispositivos semiconductores aumentan las pérdidas por conmutación.

1.3.4. PWM Vectores Espaciales.

La técnica de modulación por vectores espaciales del ancho de los pulso, SVPWM (por sus siglas en ingles, Space Vector Pulse Width Modulation), consiste en aplicar los diferentes vectores de tensión espaciales durante unos tiempos determinados y en un orden determinado, según un vector de referencia que depende del sistema trifásico que se desea obtener, para conseguir que la señal de salida tenga una menor distorsión armónica.

Este vector de referencia actúa como consigna y gira dentro del plano a-b saltando de un vector de conmutación al siguiente, de forma que cuantos más vectores de conmutación intermedios se generen entre los vectores directores, más senoidal es la onda de salida.

Como entrada a este módulo se tendrá un valor de referencia, denominado V_{ref} en la figura 1.7 que será transformado por el generador de SVPWM en un vector espacial que tendrá como parámetros la amplitud, la frecuencia o velocidad de giro y la fase inicial del sistema eléctrico trifásico que se quiere generar. En la figura 1.7, se muestra un diagrama de bloques de este tipo de control.

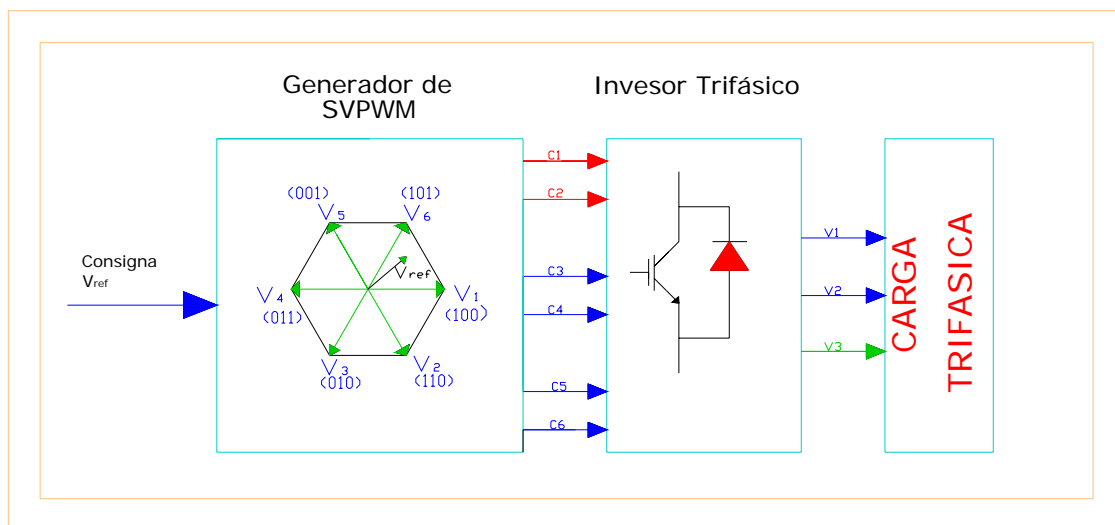


Figura 1.7.- Diagrama de bloques del control SVPWM.

1.3.5. PWM Eliminación selectiva de armónicos.

En general, este método se basa en eliminar los armónicos de baja frecuencia significativos, seleccionando de forma adecuada los ángulos de conmutación de los dispositivos semiconductores.

Con frecuencia se le designa como modulación programada debido a que es necesario un dispositivo que genere las señales de control el cual requiere previamente haber sido programado con los ángulos de conmutación y de esta manera tener en la carga una forma de onda característica de esta modulación como la que se ve en la figura 1.8. Las componentes armónicas de alta frecuencia se pueden eliminar utilizando filtros adicionales los cuales no son de alto costo en comparación de los requeridos para eliminar los armónicos de baja frecuencia.

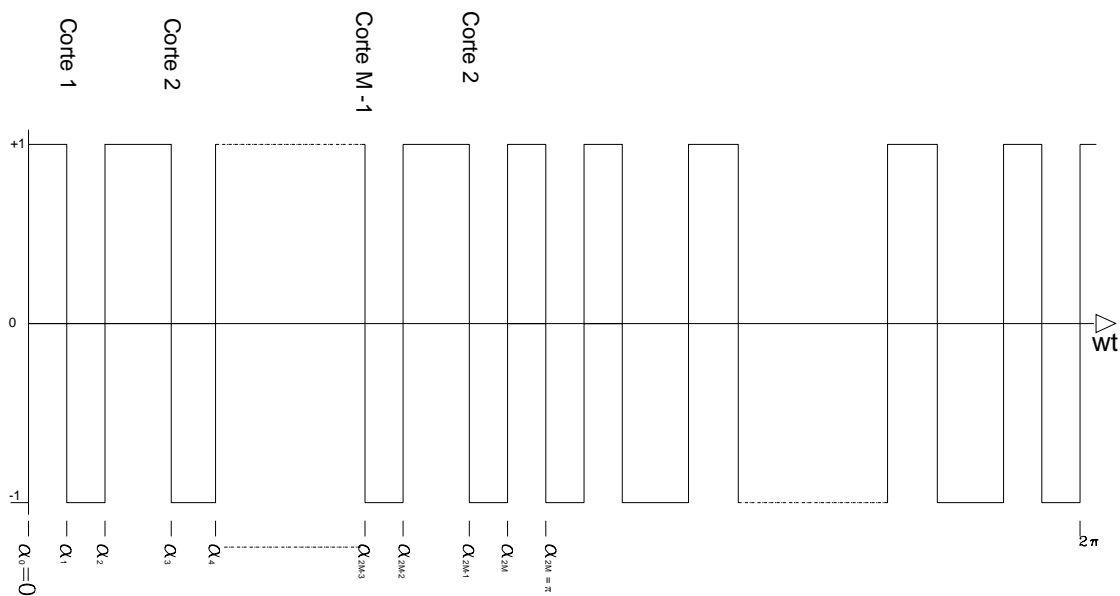


Figura 1.8 Forma de onda característica en un inversor aplicando la eliminación selectiva de armónicos.

La salida de los inversores prácticos contiene armónicas, y la calidad de un inversor se suele evaluar en términos de los siguientes parámetros de rendimiento:

Factor armónico de la n-ésima armónica (HF_n). Es una medida de la contribución individual de la n- armónica, su expresión matemática es:

$$HF_n = \frac{V_{on}}{V_{01}} \text{ para } n > 1 \quad (1.1)$$

Donde:

V₀₁ es el valor rms de la componente fundamental.

V_{on} es el valor rms de la n-esima componente armónica.

Distorsión armónica total (THD). Es una medida de la coincidencia de formas entre una onda y su componente fundamental, su expresión matemática es:

$$THD = \frac{1}{V_{01}} \left(\sum_{n=2,3,\dots}^{\alpha} V_{on}^2 \right)^{1/2} \quad (1.2)$$

Factor de distorsión (DF). Indica la cantidad de distorsión armónica que queda en determinada forma de onda después de someter a las armónicas de esa onda a una atenuación de segundo orden, es decir, dividir las entre n^2 .

Así, el factor de distorsión es una medida de la eficacia de reducción de armónicas no deseadas, sin tener que especificar los valores de un filtro de carga de segundo orden, su expresión matemática es:

$$DF = \frac{1}{V_{01}} \left[\sum_{n=2,3,\dots}^{\alpha} \left(\frac{V_{on}}{n^2} \right)^2 \right]^{1/2} \quad (1.3)$$

El DF de un componente armónico individual (o n -ésimo) se define como:

$$DF_n = \frac{V_{on}}{V_{01}n^2} \quad \text{para } n > 1 \quad (1.4)$$

Armónico de orden más bajo (LOH). Es aquel componente armónico cuya frecuencia se acerca mas a la fundamental, y su amplitud es mayor o igual al 3% de la componente fundamental.

1.4 Organización de la tesis.

La presente tesis se divide en los capítulos siguientes:

En el **Capítulo uno**, se fija el objetivo, la justificación, los antecedentes con la referencia más importante y por último se muestra la organización de la tesis.

En el **Capítulo dos** se describe la teoría del puente inversor medio con todas sus características. Además se presenta la teoría matemática que sustenta la obtención de las ecuaciones y, su solución para obtener los ángulos correspondientes que eliminan los armónicos en 3° y 5°.

En el **Capítulo tres** se exponen los componentes del hardware utilizado, así como las diferentes etapas que comprende la implementación; etapa de control, etapa de aislamiento y por último etapa de potencia.

En el **Capítulo cuatro** se dan los resultados de la implementación para validar la estrategia de modulación. También se muestra el espectro de la onda de corriente tomado del osciloscopio con la transformada rápida de Fourier (FFT). Al final del capítulo se dan las conclusiones y los trabajos a futuro que se proponen a partir del desarrollo de la tesis.

Al final de la tesis se muestran los apéndices y las referencias bibliográficas utilizadas.

CAPITULO II

OPERACIÓN DEL MEDIO PUNTE INVERSOR Y METODO GENERALIZADO DE ELIMINACION DE ARMONICOS

2.1. Medio puente inversor (*Half bridge*).

El principio de los inversores monofásicos se puede explicar en la figura 2.1. El circuito del inversor consiste en dos pulsadores. Cuando solo enciende el transistor Q_1 durante el tiempo $T_0/2$, el voltaje instantáneo v_0 a través de la carga es $V_s/2$. Si el transistor Q_2 se enciende durante un tiempo $T_0/2$, aparece $-V_s/2$ a través de la carga. El circuito lógico se diseña de tal modo que Q_1 y Q_2 no estén activos al mismo tiempo. La figura 2.2, muestra las formas de onda del voltaje de salida con una carga resistiva.

Este inversor requiere una fuente de CD de tres hilos, y cuando un transistor esta apagado, su voltaje inverso es V_s en lugar de $V_s/2$.

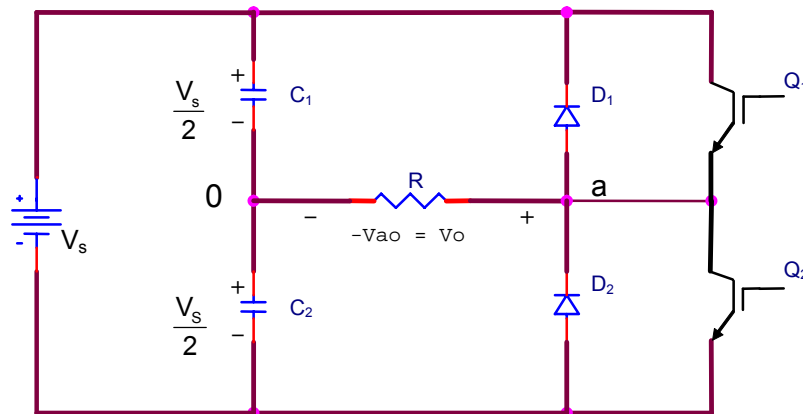


Figura 2.1.- Inversor medio puente.

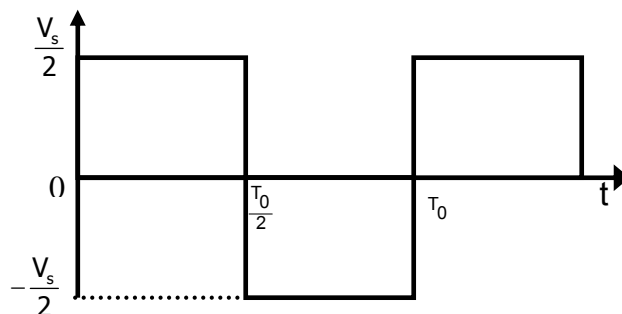


Figura 2.2.- Forma de onda en un inversor medio puente.

El voltaje raíz cuadrático medio (rms) de salida se puede calcular con:

$$V_0 = \left(\frac{2}{T_0} \int_0^{T_0/2} \frac{V_s^2}{4} dt \right)^{1/2} = \frac{V_s}{2} \quad (2.1)$$

El voltaje instantáneo de salida se puede expresar como serie de Fourier:

$$v_0 = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos(n\omega t) + b_n \sin(n\omega t)) \quad (2.2)$$

Debido a la simetría de cuarto de onda respecto al eje x, tanto a_0 como a_n son cero. Se obtiene b_n como:

$$b_n = \frac{2}{T_0} \left[\int_0^{T_0/2} \frac{V_s}{2} \sin n\omega t dt + \int_{T_0/2}^{T_0} -\frac{V_s}{2} \sin n\omega t dt \right]$$
$$= \frac{2V_s}{n\pi}$$

$$\text{para } n = 1, 3, 5.. \quad (2.3)$$

Y

$$v_{0n} = \sum_{n=1,3,5..}^{\infty} \frac{2V_s}{n\pi} \sin n\omega t \quad (2.4)$$

$$= 0 \quad \text{para } n = 2, 4...$$

Donde $\omega = 2\pi f_0$ es la frecuencia del voltaje de salida, en radianes por segundo.

Por la simetría de cuarto de onda del voltaje de salida respecto al eje x, los voltajes armónicos pares están ausentes.

Para la frecuencia fundamental se evalúa la ecuación 2.4 con $n=1$, $V_s = 1$, y tomando la expresión matemática que relaciona el voltaje rms con el voltaje máximo, $V_{\text{rms}} = \frac{V_{\text{max}}}{\sqrt{2}}$, con lo cual es posible evaluar en términos de $\omega = 90^\circ$, la ecuación 2.4, da como resultado el valor rms de la componente fundamental:

$$\frac{2(1)}{\pi(1)} \text{sen}(1)(90) \quad \therefore \quad \frac{2}{\pi} = 0.6366 \quad (2.5)$$

$$V_{\text{rms}} = \frac{0.6366}{\sqrt{2}} \quad \therefore \quad v_{o1} = \frac{2V_s}{\sqrt{2}\pi} = 0.45V_s \quad (2.6)$$

Para entender el papel que juegan los diodos en antiparalelo en el circuito de la figura 2.1 nos auxiliaremos de la figura 2.3.

Empleando señales complementarias para el gobierno de los IGBT se obtiene una forma de onda cuadrada en la salida V_s . En régimen permanente la corriente que circula por la carga es una sucesión de exponenciales de valor medio nulo.

Mientras permanece encendido el transistor superior Q_1 la corriente de salida del inversor i_s circula a través del diodo D_1 cuando es entrante (i_s es negativa) y a través de Q_1 cuando es saliente (i_s es positiva). En los intervalos de conducción de los diodos D_1 y D_2 la transferencia de energía se realiza desde la salida hacia la entrada. Los diodos son por tanto necesarios para que el inversor pueda manejar las corrientes en atrasó. A esos diodos se les llama *diodos de retroalimentación*.

En la figura 2.4, se muestra la forma de onda de la tensión en el transistor Q_1 . La tensión máxima que soportan los transistores de un medio puente es el doble de la amplitud de la onda cuadrada de salida.

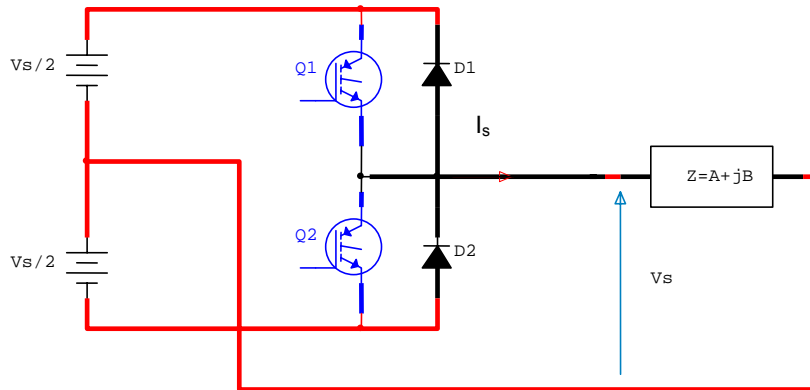


Figura 2.3.- Inversor medio puente alimentando una carga RL.

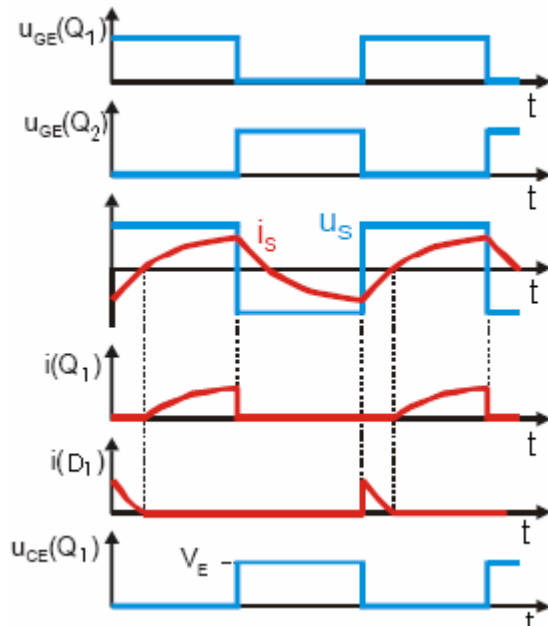


Figura 2.4.- Formas de onda en un inversor en medio puente con carga RL.

Las características de un inversor en medio puente se pueden resumir en los siguientes puntos:

- Proporcionan una onda cuadrada. La señal de salida de un inversor en medio puente es una onda cuadrada, por lo que el contenido armónico es muy elevado.

- La amplitud de salida no es controlable. En medio puente se obtiene una onda cuadrada cuya amplitud es igual a la tensión de alimentación.
- El único procedimiento para variar la amplitud de salida es mediante un convertidor previo que permita modificar la tensión de entrada al inversor.
- Frecuencia de salida variable. En un inversor en medio puente no modulado la frecuencia de salida es igual a la de conmutación de los interruptores.
- La tensión que soportan los interruptores es el doble de la amplitud de la señal cuadrada de salida.

2.2. Método generalizado de eliminación de armónicos en el medio puente inversor.

Los dos estados de salida en la forma de onda del medio puente inversor permiten desarrollar un enfoque analítico para eliminar teóricamente cualquier número de armónicos mediante un método generalizado [2]. La salida básica que es una onda cuadrada es “cortada” un número de veces con lo cual se establece relación fija entre el número de cortes y el número posible de armónicos que se pueden eliminar.

La figura 2.5, muestra la forma de onda generalizada de salida, con M cortes para medio ciclo. Se asume que la forma de onda periódica es de media onda simétrica y de amplitud unitaria.

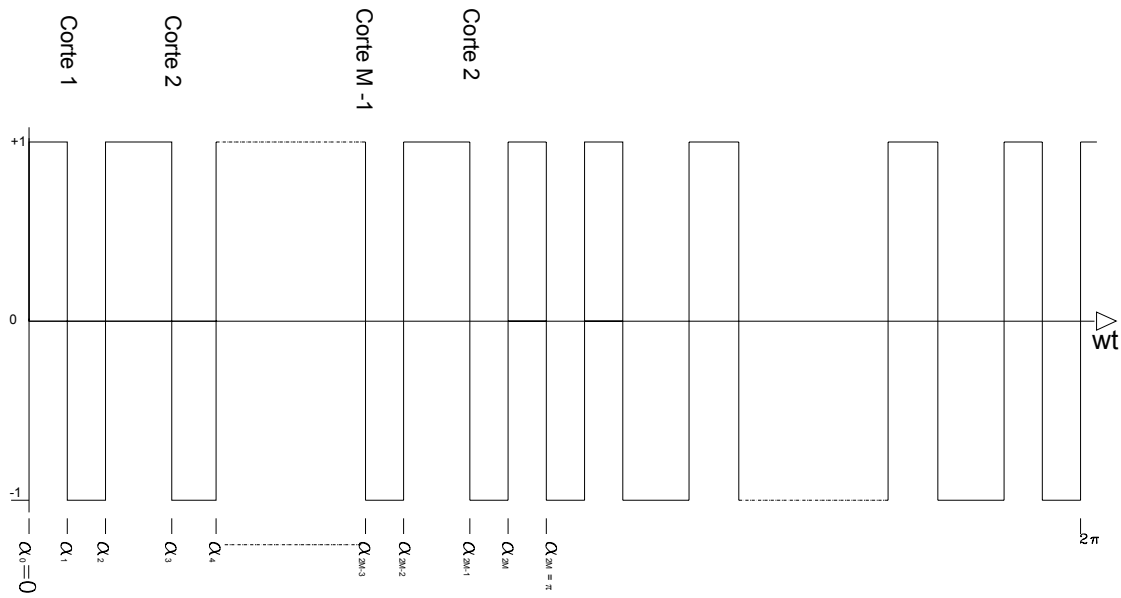


Figura 2.5.- Forma de onda característica en un inversor aplicando la eliminación selectiva de armónicos.

Por lo tanto:

$$f(\omega t) = -f(\omega t + \pi) \tag{2.7}$$

Donde $f(\omega t)$ es una función periódica de dos estados con M cortes por cada medio ciclo.

Dejemos que $\alpha_1, \alpha_2, \dots, \alpha_{2M}$ definan los M cortes como se muestra en la figura 2.5.

La forma de onda puede ser representada por una serie de Fourier como sigue:

$$f(\omega t) = \sum_{n=1}^{\infty} [a_n \text{sen}(n\omega t) + b_n \text{cos}(n\omega t)] \quad (2.8)$$

Donde:

$$a_n = \frac{2}{\pi} \int_0^{\pi} f(\omega t) \text{cos}(n\omega t) d(t) \quad (2.9)$$

$$b_n = \frac{2}{\pi} \int_0^{\pi} f(\omega t) \text{sen}(n\omega t) d(t) \quad (2.10)$$

Sustituyendo para $f(\omega)$ en la ecuación 2.9 y usando la propiedad de media onda simétrica:

$$\begin{aligned} a_n &= \left[\frac{2}{\pi} \int_0^{\alpha_1} \text{sen}(n\omega t) d(\omega t) - \int_{\alpha_1}^{\alpha_2} \text{sen}(n\omega t) d(\omega t) \dots + \int_{\alpha_{2M}}^{\pi} \text{sen}(n\omega t) d(\omega t) \right] \\ &= \frac{2}{\pi} \sum_{k=0}^{2M} \left[(-1)^k \int_{\alpha_k}^{\alpha_{k+1}} \text{sen}(n\omega t) d(\omega t) \right] \end{aligned} \quad (2.11)$$

Donde $\alpha_0 = 0$, $\alpha_{2M+1} = \pi$ y $\alpha_0 < \alpha_1 < \alpha_2 \dots < \alpha_{2M+1}$.

De la ecuación 2.11, evaluando la integral,

$$\begin{aligned} a_n &= \frac{2}{n\pi} \sum_{k=0}^{2M} [(-1)^k (\text{cos}(n\alpha_k) - \text{cos}(n\alpha_{k+1}))] \\ &= \frac{2}{n\pi} [\text{cos } n\alpha_0 - \text{cos } n\alpha_1 - \text{cos } n\alpha_1 + \text{cos } n\alpha_2 + \dots \\ &\quad + \text{cos } n\alpha_{2M} - \text{cos } n\alpha_{2M+1}] \\ &= \frac{2}{n\pi} \left[\text{cos } n\alpha_0 - \text{cos } n\alpha_{2M+1} + 2 \sum_{k=1}^{2M} (-1)^k \text{cos } n\alpha_k \right] \end{aligned} \quad (2.12)$$

Pero $\alpha_0 = 0$ y $\alpha_{2M+1} = \pi$.

Por lo tanto:

$$\cos n\alpha_0 = 1 \quad (2.13)$$

$$\cos n\alpha_{2M+1} = (-1)^n \quad (2.14)$$

Por lo tanto, la ecuación 2.12 se reduce a:

$$a_n = \frac{2}{n\pi} \left[1 - (-1)^n + 2 \sum_{k=1}^{2M} (-1)^k \cos n\alpha_k \right] \quad (2.15)$$

De forma similar,

$$b_n = -\frac{4}{n\pi} \sum_{k=1}^{2M} (-1)^k \operatorname{senn}\alpha_k \quad (2.16)$$

Utilizando la propiedad de media onda simétrica de la forma de onda, $a_n = 0$ y $b_n = 0$ para valores pares de n . Por lo tanto, para valores impares de n , en las ecuaciones 2.15 y 2.16:

$$a_n = \frac{4}{n\pi} \left[1 + \sum_{k=1}^{2M} (-1)^k \cos n\alpha_k \right] \quad (2.17)$$

$$b_n = \frac{4}{n\pi} \left[- \sum_{k=1}^{2M} (-1)^k \operatorname{sinn}\alpha_k \right] \quad (2.18)$$

Las ecuaciones 2.17 y 2.18 son funciones de las $2M$ variables, $\alpha_1, \dots, \alpha_{2M}$. Para obtener una solución única para las $2M$ variables, se requieren $2M$ ecuaciones.

Comparando cualquier armónico de M a cero, $2M$ ecuaciones se derivan de las ecuaciones 2.17 y 2.18.

Las M ecuaciones derivadas por la comparación de $b_n = 0$, para M valores de n , son solucionadas asumiendo el cuarto de onda simétrica para $f(\omega t)$, es decir

$$f(\omega t) = f(\pi - \omega t) \quad (2.19)$$

De la propiedad de cuarto de onda simétrica las siguientes relaciones son obvias refiriéndose a la figura 2.5.

$$\alpha_k = \pi - \alpha_{2M-k+1}; \text{ para } k = 1, 2, \dots, M \quad (2.20)$$

Por lo tanto, usando la ecuación 2.20

$$\begin{aligned} \text{senn} \alpha_k &= \text{senn}(\pi - \alpha_{2M-k+1}) \\ &= [\text{senn} \pi \cos n \alpha_{2M-k+1} - \cos n \pi \text{sen } n \alpha_{2M-k+1}]; \end{aligned} \quad (2.21)$$

Para $k = 1, 2, \dots, M$

Para n impar:

$$\text{sen } n\pi = 0, \cos n\pi = -1$$

Sustituyendo en la ecuación 2.21,

$$\text{senn} \alpha_k = \text{sen } n \alpha_{2M-k+1}; \text{ para } k = 1, 2, \dots, M \quad (2.22)$$

Sustituyendo la ecuación 2.22 en 2.18:

$$b_n = \frac{4}{n\pi} \left[\sum_{k=1}^M (\text{sen } n\alpha_k - \text{senn}\alpha_{2M-k+1}) \right] = 0 \quad (2.23)$$

De la ecuación 2.20:

$$\cos n\alpha_k = \cos n(\pi - \alpha_{(2M-k+1)}); \text{ para } k = 1, 2, \dots, M \quad (2.24)$$

Para n impar, la ecuación 2.24 se convierte en:

$$\cos n\alpha_k = -\cos n\alpha_{(2M-k+1)}; \text{ para } k = 1, 2, \dots, M \quad (2.25)$$

Sustituyendo la ecuación 2.25 en la ecuación 2.17:

$$a_n = \frac{4}{n\pi} \left[1 + 2 \sum_{k=1}^M (-1)^k \cos n\alpha_k \right] \quad (2.26)$$

Teorema:

“Para una forma de onda de dos estados del tipo mostrada en la figura 2.5, cualquier M armónico puede ser eliminado solucionando las M ecuaciones obtenidas de igualar la ecuación 2.26 a cero. La forma de onda es cortada M tiempos cada medio ciclo y es forzada a poseer cuartos impares de onda simétricos”.

Una prueba analítica de este teorema no se ha ideado. Sin embargo el teorema se ha aplicado a una amplia variedad de formas de onda de dos estados y ha demostrado ser correcta, usando técnicas numéricas para resolver las ecuaciones involucradas.

El problema como se definió involucra resolver M ecuaciones del tipo dado en la ecuación 2.26 para M diferentes valores de n; es decir, ajustando M armónicos a cero. Estas ecuaciones son *no-lineales* así también como de naturaleza trascendental. No existe un método generalizado que se pueda aplicar para resolver dichas ecuaciones.

Por otra parte, un método analítico es altamente improbable para obtener una solución, a menos que las ecuaciones involucradas sean relativamente simples con no-linealidad bien comportada.

La naturaleza trascendental de las ecuaciones involucradas sugiere la posibilidad de múltiples soluciones. El método práctico de resolver estas ecuaciones es un proceso de prueba y error.

Tomando todos estos factores en cuenta, una técnica numérica es el mejor acercamiento en la solución de las ecuaciones.

2.2.1. Método Numérico para solucionar el sistema de ecuaciones No-lineales.

El sistema de ecuaciones No-Lineales en M variables puede ser representado como:

$$f_i(\alpha_1, \alpha_2, \dots, \alpha_M) = 0; \quad i = 1, 2, \dots, M \quad (2.27)$$

Estas ecuaciones se obtuvieron para el problema en la sección 2.1 igualando la ecuación 2.26 a cero para cualquier M armónico que se desea eliminar.

La ecuación 2.26 en notación vectorial es:

$$\vec{f}(\vec{\alpha}) = \vec{0} \quad (2.28)$$

Donde:

$\vec{f} = [f_1 \ f_2 \ \dots \ f_M]^T$; es una matriz de $M \times 1$

$\vec{\alpha} = [\alpha_1 \ \alpha_2 \ \dots \ \alpha_M]^T$; es una matriz de $M \times 1$

El sistema de ecuaciones 2.28 puede ser resuelto usando una técnica de linealización, donde las ecuaciones no lineales son linealizadas sobre una solución aproximada.

Los pasos involucrados en la implementación computacional son:

- (a) Suponer un sistema de valores $\vec{\alpha}^{-0}$; llamarlos

$$\vec{\alpha}^{-0} = [\alpha_1^0, \alpha_2^0 \dots \alpha_M^0]^T$$

- (b) Determinar los valores de

$$\vec{f}(\vec{\alpha}^{-0}) = \vec{f}^0 \quad (2.29)$$

- (c) Linealizar la ecuación 2.28 sobre $\vec{\alpha}^{-0}$

$$\vec{f}^0 + \left(\frac{\partial \vec{f}}{\partial \vec{\alpha}} \right)^0 d\vec{\alpha} = \vec{0} \quad (2.30)$$

Con:

$$\left(\frac{\partial \bar{f}}{\partial \alpha} \right)^0 = \begin{pmatrix} \frac{\partial f_1}{\partial \alpha_1} & \frac{\partial f_1}{\partial \alpha_2} & \dots & \frac{\partial f_1}{\partial \alpha_M} \\ \frac{\partial f_2}{\partial \alpha_1} & \frac{\partial f_2}{\partial \alpha_2} & \dots & \frac{\partial f_2}{\partial \alpha_M} \\ \vdots & & & \\ \frac{\partial f_M}{\partial \alpha_1} & \frac{\partial f_M}{\partial \alpha_2} & & \frac{\partial f_M}{\partial \alpha_M} \end{pmatrix} \text{ evaluadas en } \alpha^{-0}$$

$$Y \quad d\bar{\alpha} = [d\alpha_1 \quad d\alpha_2 \quad \dots \quad d\alpha_M]^T.$$

(d) Resolver ecuación 2.30 para $d\bar{\alpha}$.

(e) Repetir desde (a) a (d), como suposiciones mejoradas,

$$\bar{\alpha}^{-1} = \bar{\alpha}^{-0} + d\bar{\alpha} \tag{2.31}$$

El proceso se repite hasta que la ecuación 2.31 satisfaga el grado deseado de exactitud.

Si el método mencionado converge, dará una solución a la ecuación 2.28. En caso de divergencia de las suposiciones iniciales, es necesario tomar nuevas suposiciones iniciales. El proceso es un método de prueba y error. La solución correcta debe satisfacer la condición

$$0 < \alpha_1 < \alpha_2 < \dots < \alpha_{2M} < \frac{\pi}{2} \tag{2.32}$$

En la solución de un sistema No-Lineal de ecuaciones numéricamente, la preocupación primaria es la convergencia del método usado.

No es lo mismo el resolver una sola ecuación no-lineal, donde hay muchos métodos para obtener información a priori sobre la localización de la raíz, la convergencia por si misma es un problema serio en la solución de sistemas de ecuaciones No-Lineales. Usualmente es un proceso de prueba y error. No existe un método general que pueda garantizar la convergencia a la solución.

2.2.2. Formulación del problema, y algoritmo generalizado para la obtención de la solución.

Un método computacional implementando la técnica numérica discutida arriba, es desarrollada aquí para solucionar las M ecuaciones No-Lineales trascendentales obtenidas de las ecuaciones 2.26.

Dejemos n_1, n_2, \dots, n_M ser los M armónicos a eliminar; entonces de la ecuación 30 se obtienen las siguientes ecuaciones:

$$\begin{aligned} f_1(\vec{\alpha}) &= 1 + 2 \sum_{k=1}^M (-1)^k \cos n_1 \alpha_k = 0 \\ f_2(\vec{\alpha}) &= 1 + 2 \sum_{k=1}^M (-1)^k \cos n_2 \alpha_k = 0 \\ &\vdots \\ f_M(\vec{\alpha}) &= 1 + 2 \sum_{k=1}^M (-1)^k \cos n_M \alpha_k = 0 \end{aligned} \quad (2.33)$$

Tomando, $\frac{\partial \vec{f}}{\partial \vec{\alpha}}$ de la ecuación 2.30 y sustituyendo los valores de 2.33 es esta matriz; obtenemos:

$$\frac{\partial \vec{f}}{\partial \alpha} = \begin{pmatrix} 2n_1 \sin n_1 \alpha_1 & -2n_1 \sin n_1 \alpha_2 \cdots & \pm 2n_1 \sin n_1 \alpha_M \\ 2n_2 \sin n_2 \alpha_1 & -2n_2 \sin n_2 \alpha_2 \cdots & \pm 2n_2 \sin n_2 \alpha_M \\ \vdots & & \\ 2n_M \sin n_M \alpha_1 & -2n_M \sin n_M \alpha_2 \cdots & \pm 2n_M \sin n_M \alpha_M \end{pmatrix} \quad (2.34)$$

Los elementos de la última columna de la matriz en la ecuación 2.34 son positivos si M es impar y negativos si M es par.

Usando el método numérico de la sección 2.2 se obtiene el algoritmo de la figura 2.6.

Para solucionar las M ecuaciones lineales 2.30, la matriz de MxM de la ecuación 2.34 no debe ser singular. Esta condición se viola si algún $\alpha_1, \alpha_2, \dots, \alpha_M$ es igual a cero, si se asume que el dominio de la solución es el intervalo cerrado $[0, \pi/2]$.

También si cualquiera de dos α 's son iguales, dos columnas de la matriz son idénticas, excepto por el signo en caso de que sean opuestas.

La fila de la matriz en ese caso se reduce a (M-1) y la matriz es singular.

La condición de la ecuación 2.32 asegura la No-Singularidad de la matriz así como la solución significativa a las ecuaciones obtenidas de (2.26).

2.2.3 Resultados.

El conjunto de operaciones desarrolladas de la sección 2.2.2, sirve para implementar un programa computacional el cual obtiene las soluciones deseadas; dicho programa se encuentra en la referencia bibliográfica [2]. En la figura 2.6 se muestra el diagrama de flujo del mismo.

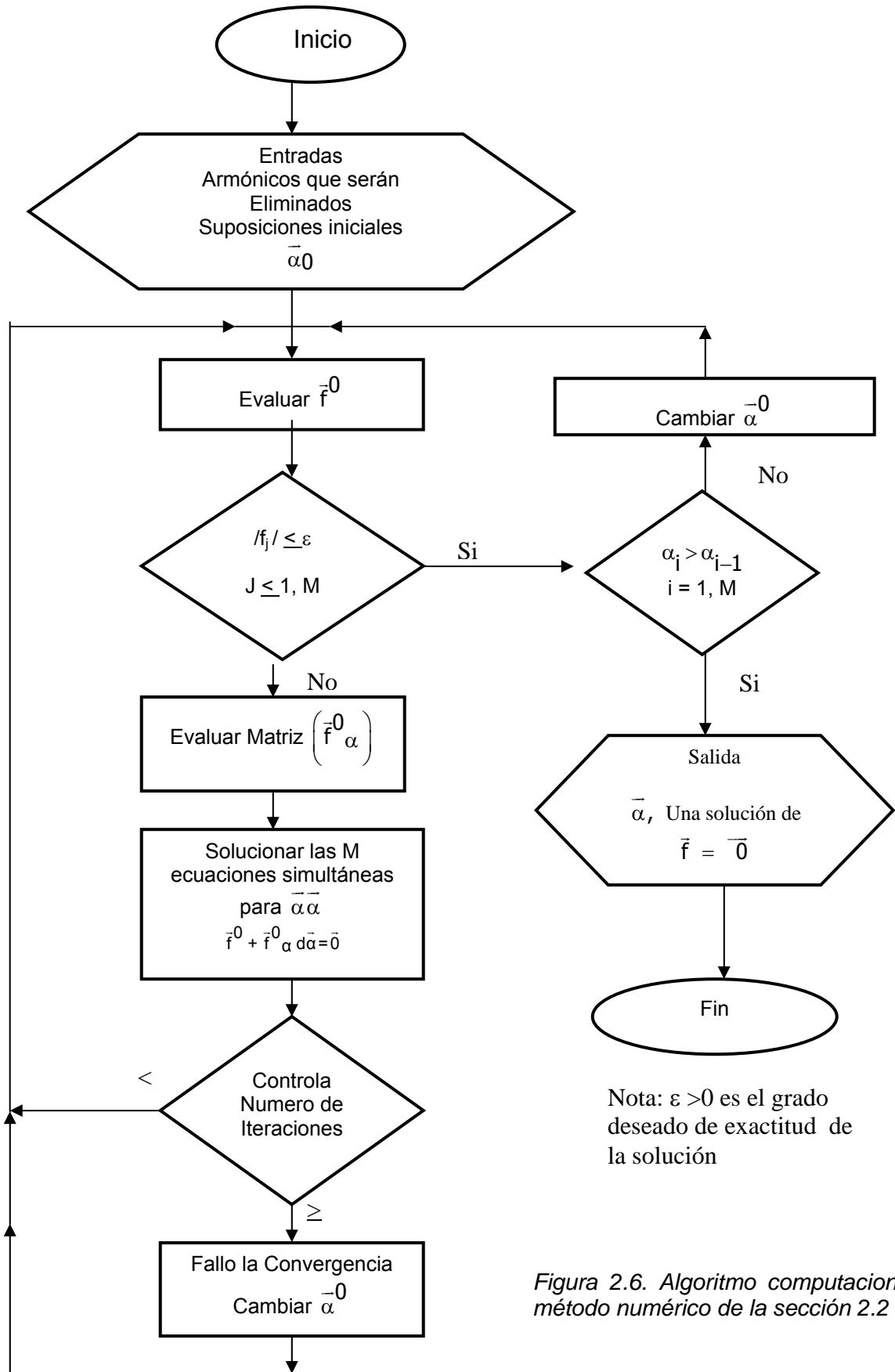


Figura 2.6. Algoritmo computacional para método numérico de la sección 2.2

2.2.3.1 El problema de dos dimensiones

Dejemos que n_1, n_2 sean los dos armónicos que se desean eliminar. Entonces de las ecuaciones 2.33, se obtienen las siguientes dos ecuaciones, para $M = 2$.

$$f_1(\alpha_1, \alpha_2) = 1 - 2\cos n_1\alpha_1 + 2\cos n_1\alpha_2 = 0 \quad 2.35$$

$$f_2(\alpha_1, \alpha_2) = 1 - 2\cos n_2\alpha_1 + 2\cos n_2\alpha_2 = 0$$

Donde α_1 y α_2 deben satisfacer

$$0 < \alpha_1 < \alpha_2 < \frac{\pi}{2} \quad 2.36$$

Las figuras 2.7 y 2.8 muestran las soluciones graficas de $f_1 = 0, f_2 = 0$ para diferentes valores de n_1 y n_2 . Por ejemplo, la figura 2.7 muestra los trazos de $f_{n_1} = 0, f_{n_2} = 0$ para $n_1=3$ y $n_2=5$. El punto de intersección de las dos curvas, satisface la ecuación 2.36, lo que dará la solución a las ecuaciones 2.35 y así eliminar el tercer y quinto armónico.

Estas soluciones son las que se requieren para los tiempos de conducción en los IGBT's, y de esta forma eliminar los armónicos que se plantearon al inicio del procedimiento matemático.

La figura 2.8, muestra las formas de onda a la salida del inversor sin el tercer y quinto armónico y sin el quinto y séptimo armónico respectivamente.

Los valores iniciales o suposiciones iniciales para la solución son obtenidos de las graficas de las figuras 2.7 y 2.8.

en grados

en grados

$$f_1 = 1 - 2\cos 3\alpha_1 + 2\cos 3\alpha_2 = 0$$

$$f_2 = 1 - 2\cos 5\alpha_1 + 2\cos 5\alpha_2 = 0$$



Indica la solución de interés α_2

$$0 < \alpha_1 < \alpha_2 < 90^\circ$$

Figura 2.7.- Solución grafica para eliminar el tercer y quinto armónico.

en grados

en grados

$$f_1 = 1 - 2\cos 5\alpha_1 + 2\cos 5\alpha_2 = 0$$

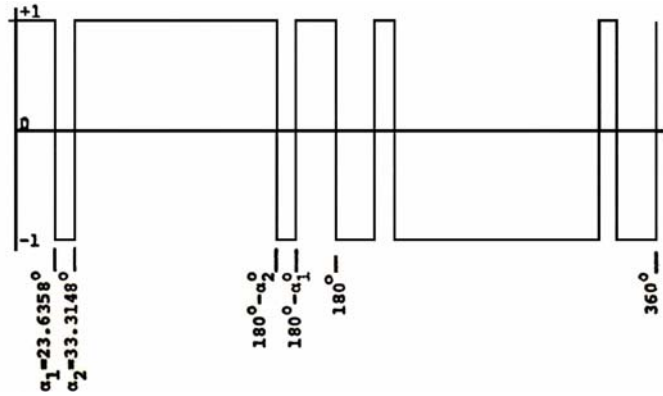
$$f_2 = 1 - 2\cos 7\alpha_1 + 2\cos 7\alpha_2 = 0$$

Indica la solución de interés.
 $0 < \alpha_1 < \alpha_2 < 90^\circ$

α_2

Figura 2.8.- Solución grafica para eliminar el quinto y séptimo armónico

a)



b)

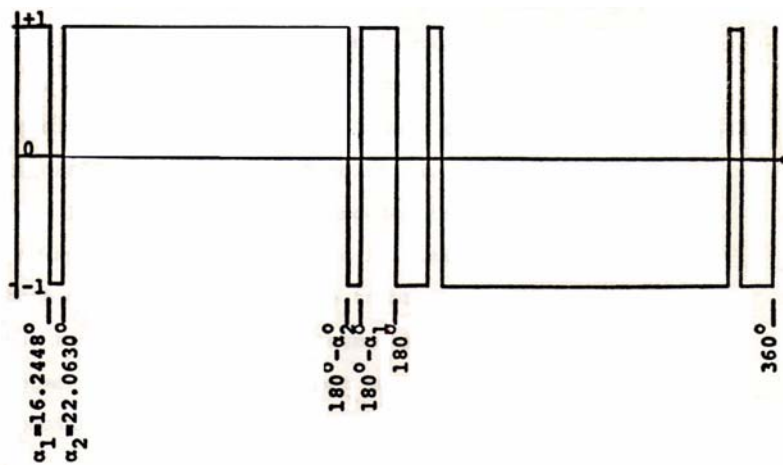


Figura 2.9.- a) Forma de onda sin el tercer y quinto armónico,
 b) Forma de onda sin el quinto y séptimo armónico

De la figura 2.9 tanto α_1 como α_2 de cada caso en particular corresponden a los tiempos de conducción necesarios para hacer posible la eliminación de armónicos.

Con los resultados de las figuras 2.7, 2.8 y 2.9 podemos decir que es posible eliminar ciertos armónicos por cada medio ciclo en la salida de la forma de onda del medio puente inversor.

La implementación de la eliminación selectiva de armónicos, requiere de circuitos lógicos complejos para generar las formas de onda deseadas con cierto grado de exactitud. Resulta más económico hacer uso de la electrónica digital, además de que simplifica la tarea permite una excelente exactitud.

Si las soluciones, están calculadas con cierto grado exactitud se puede simplificar la circuitería lógica además de que incrementara los límites de tolerancia en los armónicos a eliminar.

CAPITULO III

IMPLEMENTACION DE LA TECNICA DE MODULACION PARA LA
“ELIMINACION SELECTIVA DE ARMONICOS”.

3.1. Descripción general y por bloques de elementos integrantes.

La implementación de este proyecto está integrado por:

- ✓ Etapa digital.
- ✓ Etapa de aislamiento.
- ✓ Etapa de potencia.

La secuencia de desarrollo se da en la figura 3.1.



Figura 3.1.- Etapas para la implementación.

En la figura 3.2 se muestra el diagrama detallado del circuito implementado; su descripción se dará en los subcapítulos subsecuentes.

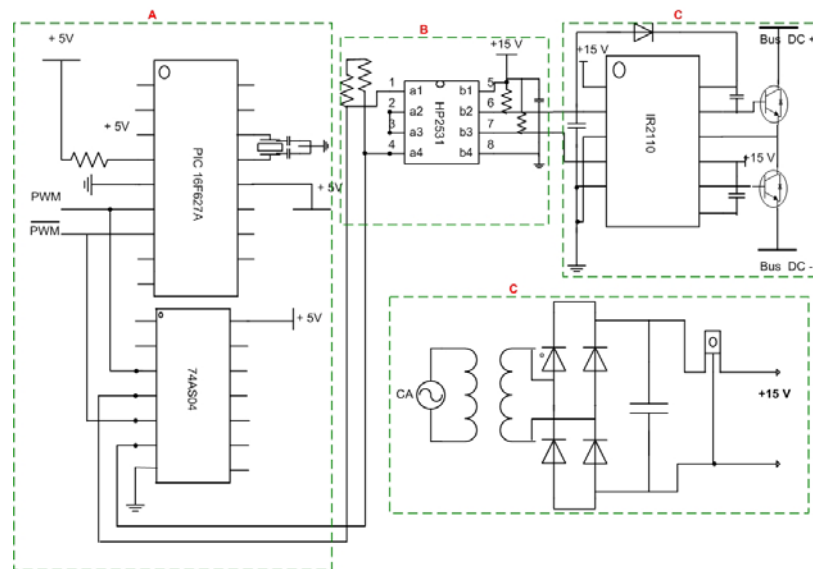


Figura 3.2.- Diagrama general del circuito. A) Etapa digital, B) Etapa de aislamiento, C) Etapa de potencia.

3.2. Etapa digital.

En esta etapa se generan los pulsos necesarios para la operación de los IGBT' s; para ello se utiliza el PIC 16F627A, además de una compuerta inversora.

A continuación se muestran las características básicas del PIC:

DATOS TECNICOS DEL PIC 16F627A

Frecuencia máxima de operación:	20 MHZ
Memoria flash de programa:	1024 (words)
Memoria de datos RAM:	224 (bytes)
Numero de pines entrada/salida:	16
Voltaje en VDD con respecto a VSS:	-0.3 a +6.5V
Máxima corriente en el pin VDD:	250 mA.
Máxima corriente permitida por PORTA y PORTB:	200 mA.

En la siguiente figura 3.3 se muestra la disposición de pines en el PIC 16F627A:

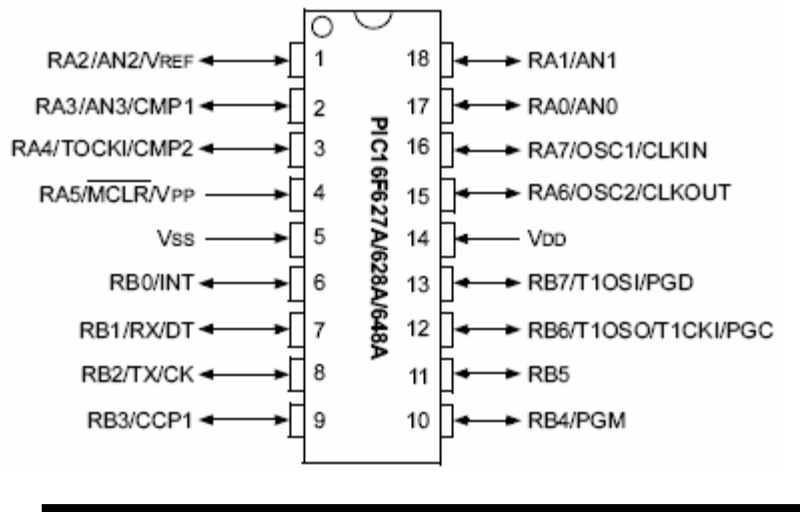


Figura 3.3.- Ubicación de los pines en el PIC.

En la figura 3.4 se muestra el diagrama de flujo del programa desarrollado en la memoria RAM del PIC, el cual genera los pulsos que se obtuvieron en el capítulo II a través del programa para la eliminación del 3° y 5° armónico.

El código del programa se encuentra al final de la tesis en el apéndice A.

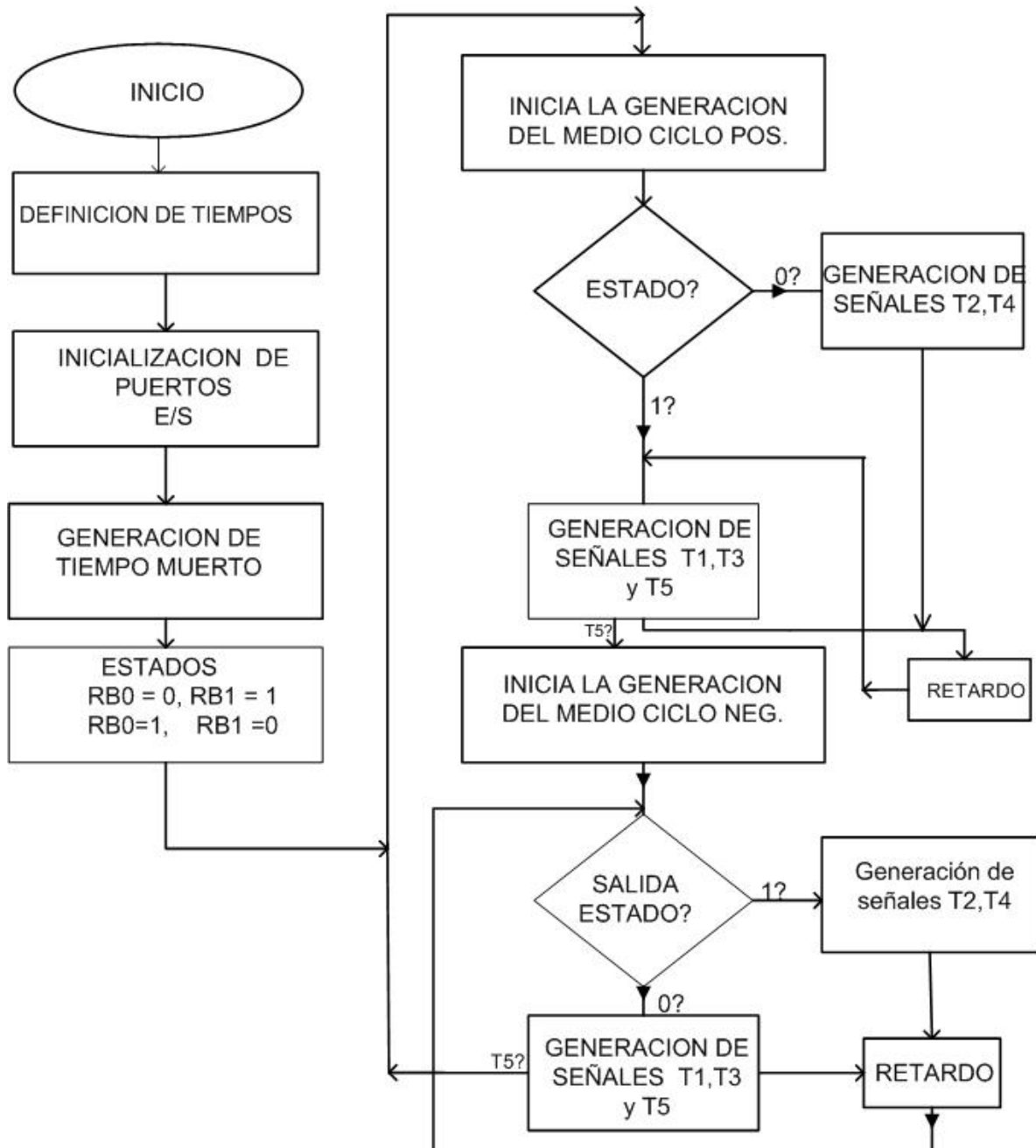


Figura 3.4 Diagrama funcional para la programación del PIC.

Si bien es cierto que la parte medular de esta etapa es el PIC, no menos importante deja de ser la compuerta inversora utilizada a la salida del PIC. La razón por la que se utiliza, es porque en la etapa de aislamiento la señal de entrada se invierte a la salida del opto acoplador generando resultados indeseados. Así, por medio de este simple dispositivo electrónico nos estamos asegurando que a la salida del optoacoplador tengamos efectivamente las señales generadas en el PIC. El dispositivo electrónico utilizado que se utilizó fue el 74S04. En la figura 3.5 se muestra la disposición de sus entradas y salidas.

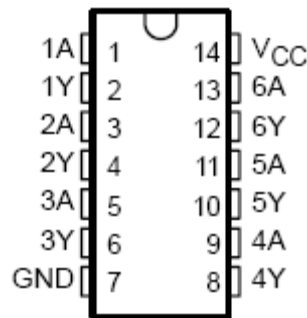


Figura 3.5.- Compuerta inversora.

No se incluyó información correspondiente a la fuente de CD utilizada para el PIC y la compuerta inversora, ya que esta fue tomada de una de las salidas de la fuente de una computadora.

3.3 Etapa de aislamiento.

Debido a que las señales de control se encontrarán referenciadas a tierra física, por lo tanto los dispositivos programables (microprocesadores, microcontroladores, DSPs, etc.) con que se generan las señales de control también se encontrarán referenciados a dicha tierra física.

Y dado que las referencias del convertidor no están conectadas a tierra física, en caso de que existiera un corto circuito, la corriente pasaría por los dispositivos programables cerrándose el circuito a través de ellos.

Por lo que es necesario aislar las señales de control, (señales lógicas), pero sin que éstas pierdan sus propiedades de amplitud y frecuencia.

Esto se logra con los optoacopladores u optoaisladores. Los cuales trabajan con un emisor de luz y un dispositivo fotosensible. Como emisor de luz se emplean diodos emisores de luz y como receptores tenemos, optotransistores, triacs o tiristores etc. Por lo que la conexión solo es por medio de un haz luminoso y en una sola dirección, protegiendo así la parte del emisor de luz. Tomando en cuenta todo lo anterior se decidió utilizar el optoacoplador HP2531 (figura 3.6), el cual ofrece una excelente eficiencia a altas frecuencias, además de que ofrece la ventaja de no ser muy costoso en comparación con otros.

La tensión a la entrada del optoacoplador por la parte del diodo interno es de 5 v y la corriente mínima que necesita el diodo emisor de luz para que se polarice positivamente es de 25 mA (esto dado por la hoja de especificaciones, sin embargo debido a la programación en el PIC, en la que las salidas se obtienen en PORTB (RB0, RB1) con valores de de 200mA (dado por la hoja de datos), se requirió de dos resistencia para limitar la corriente al diodo emisor de luz del optoacoplador; a continuación se muestra el calculo de dichas resistencias.

$$R_1 = R_2 = \frac{V}{I} = \frac{5V}{25mA} = 200\Omega$$

$$\therefore R_1 = 100\Omega = R_2$$

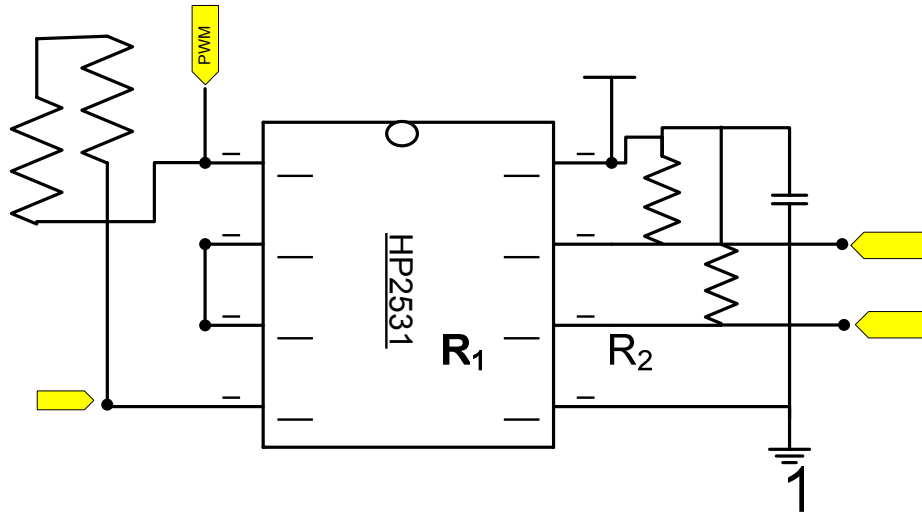


Figura 3.6.- Optoacoplador HP2531.

R3 solo es una resistencia limitadora de corriente pero si no se elige correctamente su valor nos puede provocar un Offset a la entrada de los circuitos manejadores de compuerta por lo que después de pruebas en el laboratorio se determinó un valor práctico de 5.6 KΩ, el capacitor C1 es para desacoplar, por lo que se recomienda una valor de 10 μF.

a1
2
a2
3
a3

3.4. Etapa de potencia.

La etapa de potencia esta conformada desde el manejador de señales IR2110, los IGBT's, la fuente de CD y la carga.

4
a4

❖ Manejador de Señales.

Para diseñar un circuito manejador de compuerta o de señales (comúnmente conocido como *driver*), se deben de tomar en cuenta algunas consideraciones que ayudan a proteger al inversor, como por ejemplo que el manejador sea capaz de suspender la conmutación de los dispositivos cuando se haya producido una situación de riesgo para el convertidor, y que debe de sujetarse a las necesidades de activación del interruptor, como voltajes y corrientes de compuerta.

El circuito integrado IR2110 de International Rectifier, tiene las ventajas de que el número de componentes adicionales que necesita para controlar las compuerta de dos IGBT o MOSFET, son pocos, es capaz de trabajar a frecuencia de conmutación altas 20 KHz, la tensión de Offset que soporta también es alta: 500 V y la corriente de compuerta puede llegar a ser de hasta 1A.

En la figura 3.7, se muestra un diagrama a bloques del IR2110, en el cual de los puntos a resaltar son: que las entradas y las salidas son independientes, esto le da un grado de libertad al diseño de las señales de control, debido a que para la construcción del convertidor propuesto, en un momento dado los dos interruptores deben de estar conduciendo, acción que no se podría realizar si se hubiese elegido un manejador que complementara las salidas.

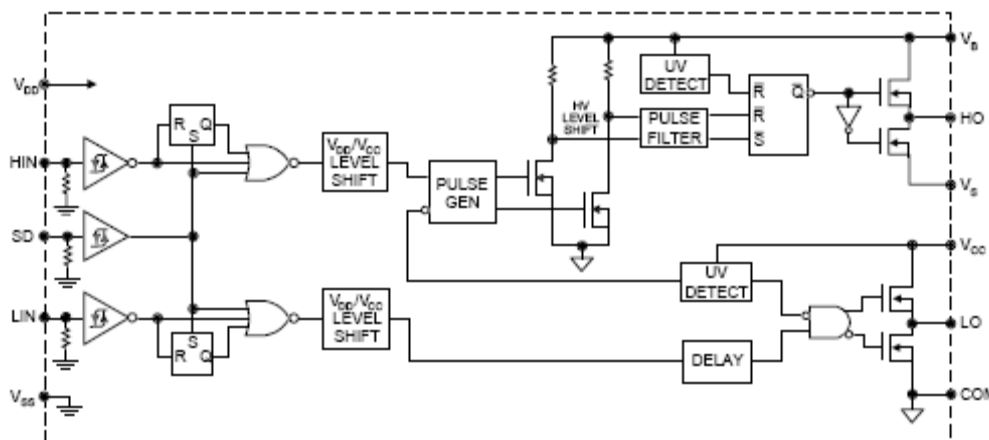


Figura 3.7.- Diagrama a bloques del IR2110.

International Rectifier se caracteriza por agregarles a sus manejadores una entrada de habilitación, pensando en que se pudiera utilizar como protección para los dispositivos de potencia. En el IR2110 esta posibilidad se llama SD (Shout Down), que funciona como una entrada lógica y dependiendo del estado de esta señal, se habilitará o deshabilitará las señales que van hacia la compuerta de los interruptores.

En la figura 3.8 se muestra claramente que cuando llega un “1” a la Terminal SD del IR2110, se inhiben las señales de disparo de salida, pero cuando le llega un “0” se habilitan dichas señales.

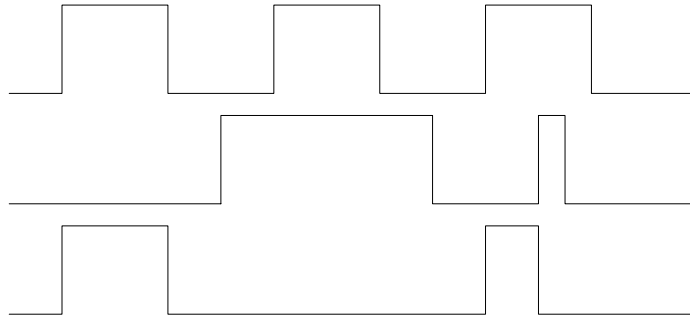


Figura 3.8.- Diagrama de tiempos para las salidas / entradas del IR2110.

El IR2110 es capaz de activar las compuertas de dos IGBTs, referenciando solo uno a un potencial negativo o cero. Las terminales V_S y V_B son las encargadas de darle la energía de activación necesaria a la compuerta del interruptor conectado a la Terminal HO.

Como se muestra en la figura 3.9, para formar el voltaje V_{bs} y activar o desactivar la compuerta del interruptor de la parte de arriba, utiliza un capacitor y un diodo los cuales forman un circuito de bootstrap. SD

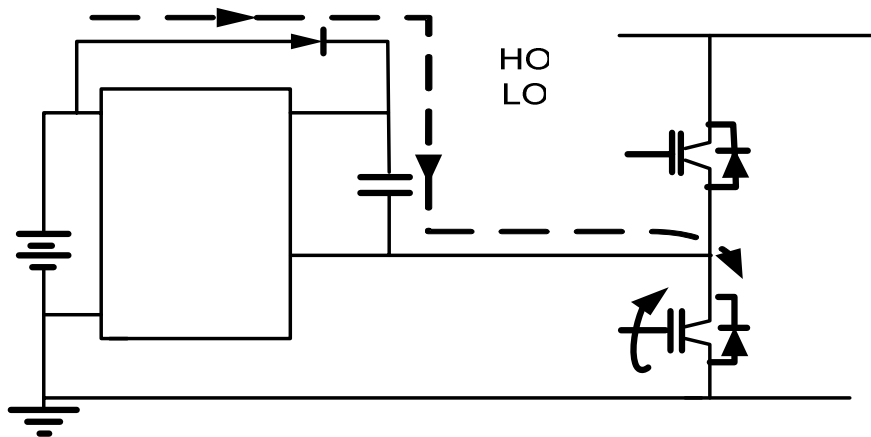


Figura 3.9.- Esquema del circuito de Bootstrap para el IR2110.

Existen cinco factores que influyen en el cálculo del capacitor de Bootstrap (Cbs).

- La carga requerida para activar a los IGBT.
- La corriente de la fuente del 2110.
- Corrientes dentro del cambio de nivel del driver.
- Corriente de fuga a la entrada de los IGBT.
- Corriente de fuga del capacitor Cbs.

La carga mínima que necesita que suministre el capacitor Cbs está dado por:

$$Q_{bs} = 2Q_g + \frac{I_{qbs(max)}}{f_s} + Q_{ls} + \frac{I_{cbs(pico)}}{f_s} \quad (3.1)$$

Donde:

Q_{bs} Carga que suministrará el capacitor Cbs.

Q_g Carga que acepta la compuerta del IGBT.

I_{qbs} Corriente de la fuente del 2110.

Q_{ls} Carga de cambio de nivel requerido.

I_{cbs} Corriente de fuga del capacitor Cbs.

F_s Frecuencia de conmutación.

El capacitor de Bootstrap debe de ser capaz de entregar la carga Q_{bs} a la compuerta de los IGBT y además también debe de mantener el voltaje de la fuente del IR2110, de lo contrario puede presentarse un rizo significativo en V_{bs} y caer el voltaje por debajo del V_{cc} (min.). Y hacer que dejen de funcionar las señales de salida de la parte alta.

El valor mínimo del capacitor C_{bs} puede ser calculado de la siguiente ecuación:

$$C_{bs} \geq \frac{2Qg + \frac{I_{qbs(max)}}{f_s} + Ql_s + \frac{I_{cbs(pico)}}{f_s}}{V_{cc} - V_f - V_{l_s} - V_{min}} \quad (3.2)$$

Donde:

V_{cc} Voltaje de alimentación del IR2110.

V_f Voltaje del diodo de bootstrap (on).

V_{l_s} Voltaje de Colector Emisor del IGBT (on).

V_{min} Voltaje mínimo del capacitor C_{bs} .

Debido a que si se utiliza un capacitor que no sea electrolítico podemos considerar como cero la corriente de fuga del capacitor, por esta razón se recomienda que se utilice un capacitor de tantalio o cerámico. Además de que si el voltaje mínimo de dicho capacitor sea cero, V_{min} , se puede quitar de la ecuación, quedándonos:

$$C_{bs} \geq \frac{2Qg + \frac{I_{qbs(max)}}{f_s} + Ql_s}{V_{cc} - V_f - V_{l_s}} \quad (3.3)$$

Antes de sustituir valores en la ecuación 3.3, es necesario mencionar que los datos provienen de las hojas de especificaciones del IR2110 y de los IGBT's (IRG4PC40UD).

$$C_{bs} \geq \frac{2(599 \times 10^{-9}) + \frac{230 \times 10^{-6}}{10 \times 10^3} + 5 \times 10^{-9}}{15 - 1.5 - 1.72} = 0.104074 \mu\text{F} \quad (3.4)$$

Debido a que el valor de la ecuación 3.4 debe de ser el mínimo para el capacitor C_{bs} , se recomienda multiplicarlo por un factor de 10 para asegurar que nos entregue la carga deseada. Dándonos como resultado un valor de $1.04 \mu\text{F}$, en el inversor se utilizó un capacitor de Tantalio de $1 \mu\text{F}$.

La selección del diodo de Bootstrap (D_{bs}), se debe de tener en cuenta que el D_{bs} tiene que ser de recuperación rápida para eliminar la cantidad de carga retroalimentada por el C_{bs} a la fuente de alimentación del IR2110. Para calcular la corriente del D_{bs} se utiliza la carga calculada en la 3.4 y la frecuencia de conmutación.

A pesar que el convertidor fue probado a una frecuencia de conmutación baja, el cálculo de la corriente del D_{bs} fue hecho para una frecuencia de conmutación alta, esto hace que la corriente por el diodo aumente, por lo tanto con este parámetro aseguramos que el circuito de bootstrap trabaje para los dos niveles de conmutación.

$$I_F = (Q_{bs}) * (F_s) \quad (3.5)$$

Sustituyendo valores tenemos:

$$I_F = (0.627E - 6) * (1000)$$

$$I_F = 6.27 \text{mA}$$

Por el cálculo anterior, se decidió utilizar el diodo NTE575 de recuperación rápida que soporta una corriente promedio de 1A y tiene un tiempo de recuperación de 70ns .

Para los capacitores de desacoplo se utilizaron según [4] de 10 μF entre Vdd y Vss y de 1 μF entre Vcc y COM, para proveer una corriente de carga adecuada para el capacitor Cbs y buscando minimizar los transitorios de voltaje de Vcc.

En la figura 3.10, se muestra el diagrama eléctrico de la etapa de potencia:

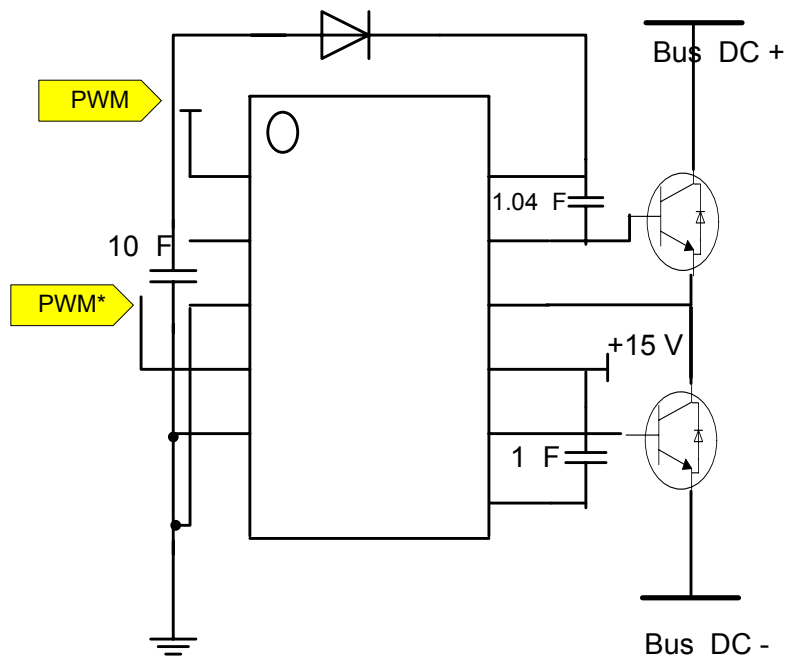


Figura 3.10.- Diagrama eléctrico de la etapa de potencia.

❖ Fuente de CD.

La fuente de CD encargada de suministrar los 15V para los IGBT's es única e independiente de la fuente de CD que se utilizo para alimentar al PIC y a la compuerta inversora. De no hacer esto se estarían ligando directamente a la etapa digital con la de potencia.

La fuente utilizada en la etapa de potencia se construyo con un puente rectificador de diodos, un filtro capacitivo y por ultimo un regulador de tensión. Las características de los dispositivos que la componen se muestran en la siguiente tabla:

ELEMENTO	VALOR
Transformador	127V / 24V
Diodos	1N4007
Capacitores	1000 μ F,50v
Regulador	LM7815

Tabla 3.1.- Características de los dispositivos utilizados para la fuente de CD.

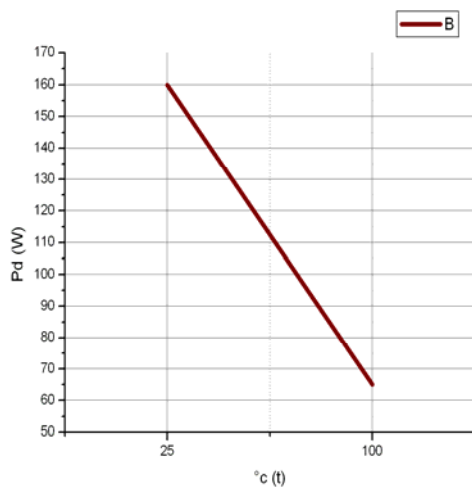
Con respecto a la fuente que se requirió para el bus del inversor se opto por utilizar la que se tiene a disposición en el laboratorio de S. E. P .I de la Escuela Superior de Ingeniería Mecánica y Eléctrica, cuyo valor de tensión es de 320V y cuenta con derivación media, con lo que cumple con las nuestras necesidades técnicas particulares.

❖ IGBT's.

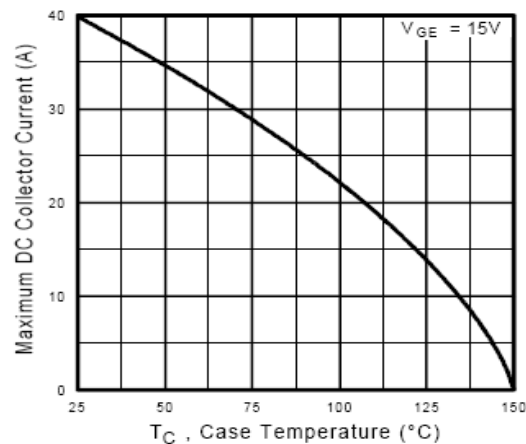
Se eligió el IGBT IRG4PC40UD por varios aspectos, uno de ellos es el buen nivel de tensión que es capaz de manejar $V_{CE}= 600V$, y que es suficiente para nuestros propósitos, otros aspecto importante es el tiempo de conmutación el cual se localiza en el orden de los nanosegundos, además de que la configuración de este dispositivo cuenta con el diodo en antiparalelo requerido para manejar cargas inductivas/capacitivas y nos permite un ahorro de espacio y economía.

En las figura 3.11 a) y b) se puede observar que el IRG4PC40UD disipa un nivel alto de potencia y que la corriente máxima a través del colector disminuye de forma proporcional cuando la temperatura aumenta.

Por lo que fue necesario montar los IGBT'S sobre disipador de aluminio con las siguientes dimensiones: 19.7 x 18.4 x 1.9 cm y de esta forma asegurar que estos dispositivos llegaran a fallar por sobre temperatura.



a)



b)

Figura 3.11.- Gráficas de temperatura, a) temperatura vs corriente, b) temperatura vs potencia disipada.

Una de las características importantes que se consideraron en el momento de la elección de este IGBT fue la velocidad de conmutación. Este valor nos da el parámetro necesario para considerar el tiempo muerto (death time) consumido por el dispositivo al pasar de un estado de encendido a otro de apagado el cual es necesario considerar en la programación del PIC.

Considerando este valor nos estamos asegurando que no se activen ambos IGBT's al mismo tiempo, y que por ende origine un condición de cortocircuito. Según la hoja de datos del IGBT el tiempo que necesita para pasar de un estado alto a un estado bajo es de 110ns.

En la programación del PIC existe una rutina especialmente dedicada a la generación de dicho tiempo. El tiempo que se programo fue de $5\mu\text{s}$, y se puede observar en la figura 3.12.

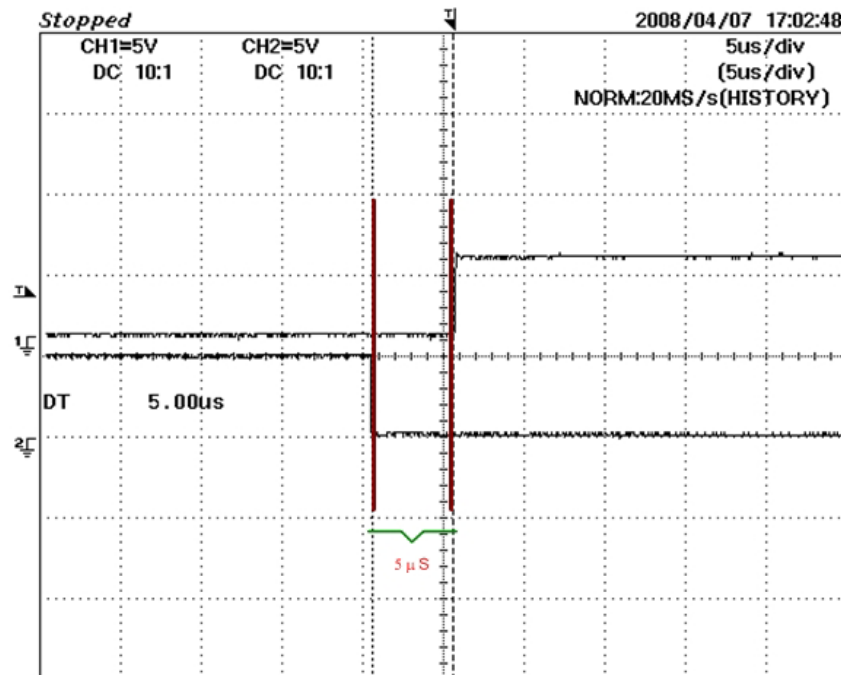


Figura 3.12.- Grafica que muestra el tiempo muerto de las señales obtenidas del PIC.

❖ La carga.

La carga es de naturaleza puramente resistiva consiste de una lámpara incandescente de 40W.

CAPITULO IV

RESULTADOS OBTENIDOS.

4.1. Introducción.

En este capítulo se muestra el circuito armado y las gráficas obtenidas en el osciloscopio. Se hace hincapié en las diferentes etapas que constituyen el proyecto y que se trataron en el capítulo anterior; etapa digital, de aislamiento y por último etapa de potencia.

4.2 El inversor.

En las figuras 4.1 y 4.2 se muestra las fotografías del inversor implementado en el laboratorio, así como el tipo de carga con que se probó.

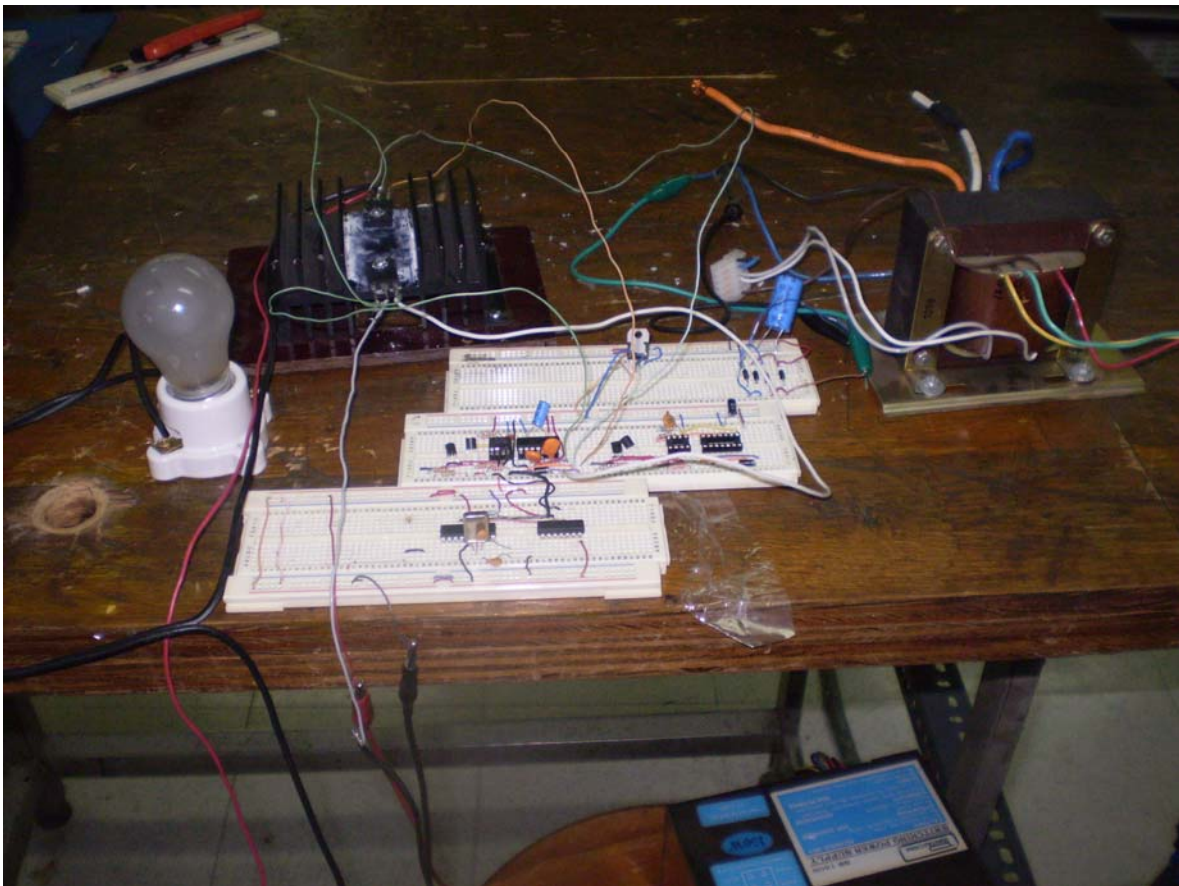


Figura 4.1.- Inversor medio puente.



Figura 4.2.- Inverso medio puente en conjunto con el equipo necesario para obtener las señales de salida.

A continuación se presentan las graficas obtenidas del osciloscopio de cada una de las etapas que conforman al inversor.

4.2.1. Etapa digital y de aislamiento.

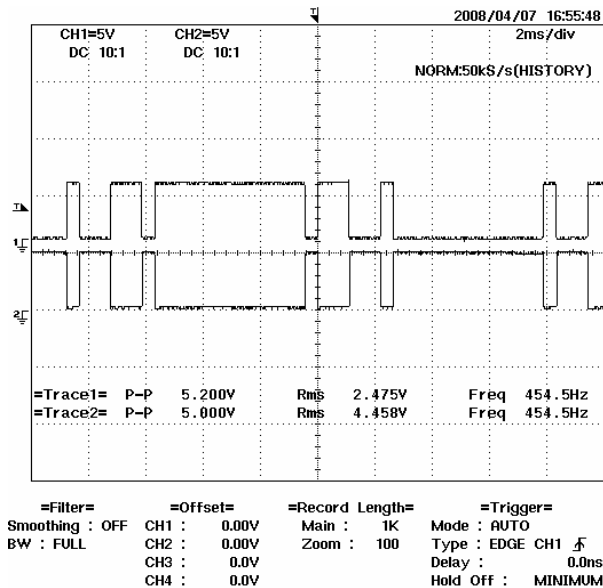


Figura 4.3.- Señales generadas por el PIC 16F627A.

Las señales de salida en la etapa de aislamiento son iguales en forma a las de la etapa digital ya que el optoacoplador únicamente copia las señales que se le mandan a la entrada y aísla la entrada de la salida, lo que si cambia es magnitud, puesto que el optoacoplador está alimentado a +15V y las señales a su salida serán de esa magnitud.

4.2.2. Etapa de potencia.

En las figuras que siguen, se muestran las fotografías en donde se puede ver los diferentes dispositivos electrónicos que conforman a esta etapa:

Las señales que salen del optoacoplador se conectan a la entrada del IR2110, el cual se encargara de administrar estos pulsos a su salida.

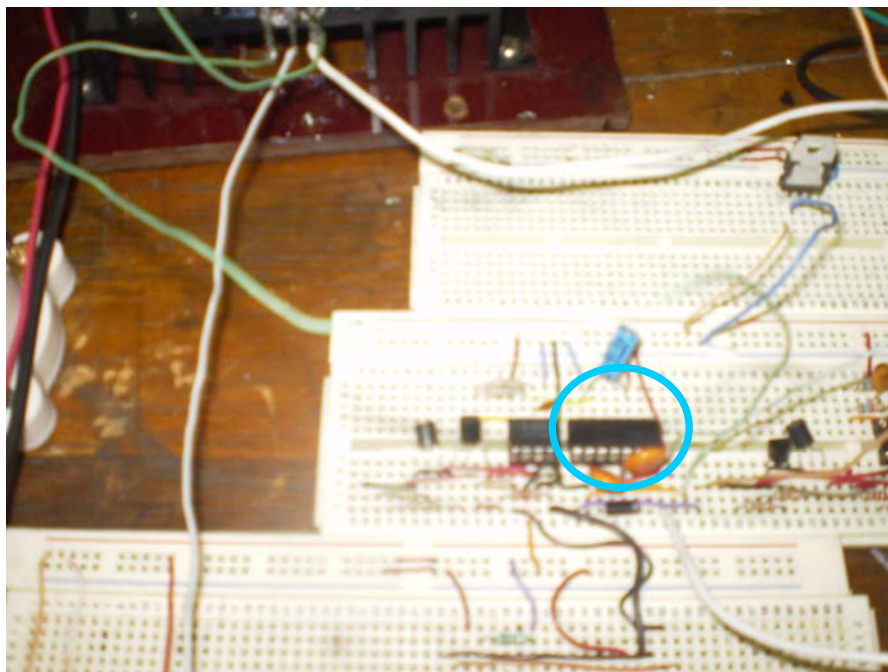


Figura 4.4.- Se muestra la disposición física del IR2110 (El círculo azul indica la posición del elemento dentro del circuito).

Una vez obtenidas las señales de salida del IR2110 (H Alta, L Baja) las procedemos a conectar a los IGBT's como indica el diagrama eléctrico en el capítulo III.

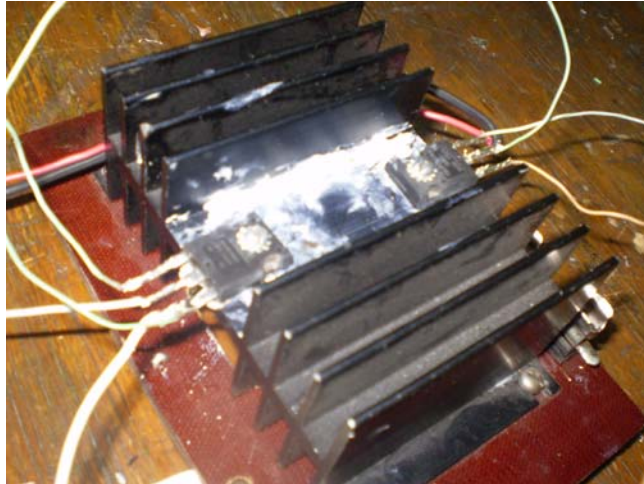


Figura 4.5.- Aquí se muestran las conexiones a los IGBT's provenientes de las salidas del IR2110, además se muestra la placa disipadora de calor para los IGBT's.

Para este punto ya estamos en condiciones de conectar la carga así como lo indica la siguiente figura.

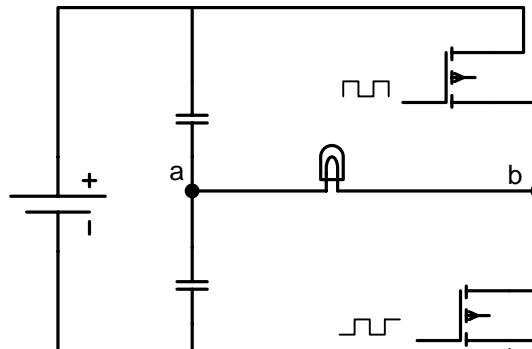


Figura 4.6.- Conexión de la carga.

El punto "a" es la derivación de toma media de la fuente de CD.

Si colocamos la sonda del osciloscopio entre a y b observaremos la siguiente forma de onda:

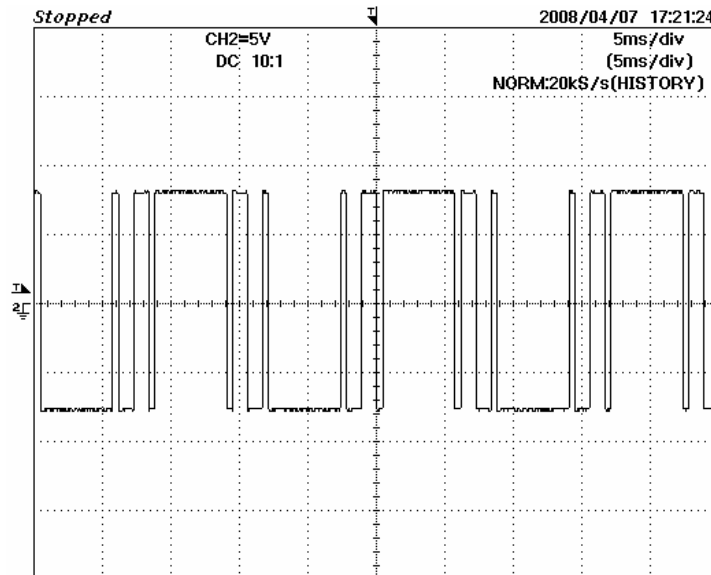


Figura 4.7.- Aquí se muestra las formas de onda tomadas en la carga.

Como se puede observar ahora, ambas formas de onda generadas por el PIC tanto positiva como negativa se encuentran integradas en una sola. Un acercamiento con el osciloscopio nos permitirá observar que si bien son una misma señal, aun existe un tiempo de retardo entre una y otra, dicho retardo es lo que conocemos como tiempo muerto, en la figura 4.8 se puede apreciar claramente.

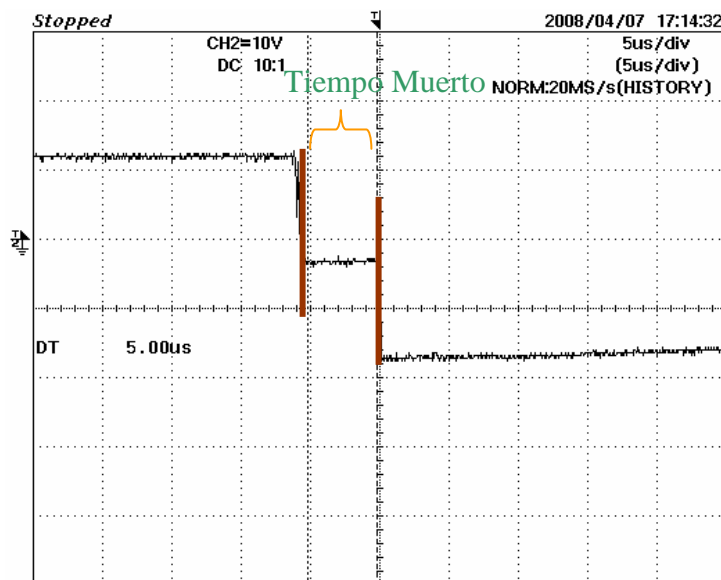


Figura 4.8.- Figura que muestra el tiempo muerto en la señal de salida.



Figura 4.9.- Esta figura muestra al inversor trabajando energizado y alimentando la carga.

4.3. Graficas obtenidas a la salida del inversor.

Ahora que se encuentran montados todos los dispositivos e incluso se encuentra trabajando el inversor, es necesario verificar si efectivamente se están eliminando los armónicos deseados. Para ello hacemos uso de una herramienta del osciloscopio llamada FFT (Fast Fourier Transformation) esto es la Transformada rápida de Fourier y obtenemos la figura siguiente:

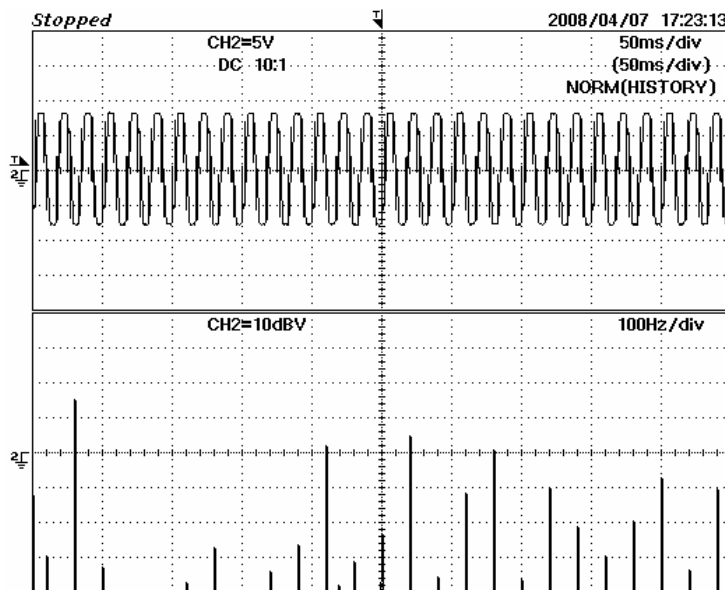


Figura 4.10.- Transformada rápida de Fourier (FFT).

Antes de hacer un análisis de la figura 4.10 es importante resaltar los siguientes aspectos:

- La pantalla del osciloscopio esta dividida en dos: en la parte superior se muestra la forma de onda observada en la carga; en la parte inferior se muestra los espectros de frecuencias.
- El osciloscopio esta configurado para indicar 100Hz por división, esto es que cada raya vertical indica progresos de 100Hz.

Ahora nos centramos en la parte de las frecuencias y podemos ver lo siguiente:

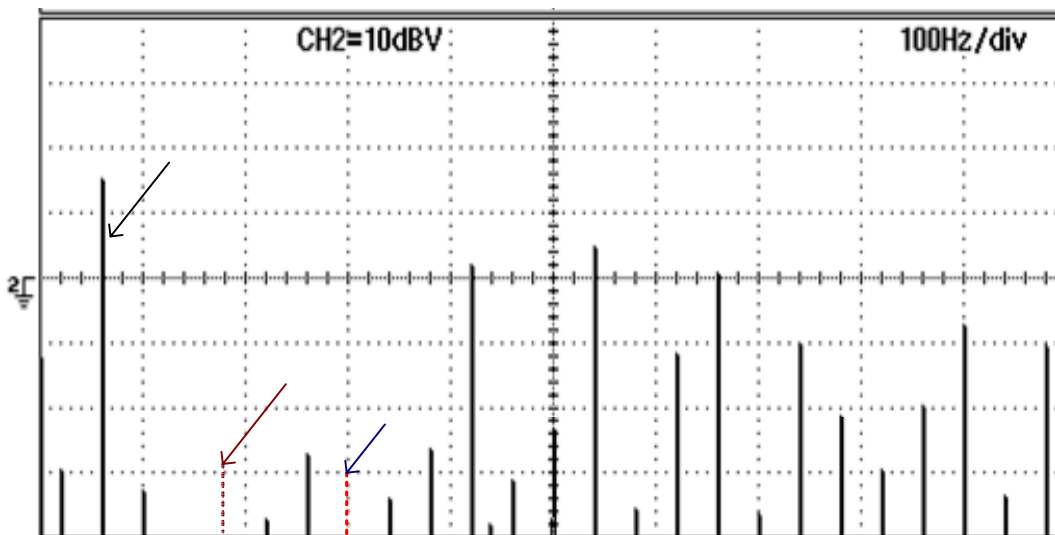


Figura 4.11.- Oscilograma de frecuencias.

Las flechas indican la posición en donde se deben localizar las diversas frecuencias: frecuencia fundamental, la de 3° y 5° orden respectivamente.

Fundamental

Como se puede observar la flecha negra esta indicando la presencia de una frecuencia de 60 Hz, lo cual es correcto ya que es la frecuencia de la onda fundamental senoidal deseada.

Los lugares hacia donde apuntan las flechas guinda y azul indican el lugar en donde debieran aparecer la 3° y 5° armónicas respectivamente, sin embargo no aparece. En su lugar se ha colocado líneas punteadas para indicar la ausencia de estas.

3° Armónico

5° Armónico

Con esto ultimo queda demostrado que la técnica utilizada de eliminación de armónicos cumple con su planteamiento, y por ende cada una de las etapas que lo componen trabaja correctamente.

4.4. Conclusiones.

Se ha comprobado que es posible eliminar armónicos en específico a la salida de un medio puente inversor, valiéndose para ello de formulaciones matemáticas en un inicio, se utilizo la programación para la solución de estas formulaciones y por último, el uso de dispositivos electrónicos disponibles, que más se adapten a las necesidades.

El trabajo de la electrónica es realmente interesante, pues permite entablar comunicación directa con cada uno de los dispositivos existentes; sin embargo, requiere de un amplio repertorio de conocimientos así como su comprensión de los mismos y de esta forma asegurar el éxito del proyecto. Para llegar a comprender la electrónica se requiere de mucha imaginación, paciencia y motivación, para no caer en la desesperanza, una gran capacidad de análisis para dar el enfoque que se adecue a cada necesidad que se presente.

En particular la electrónica de potencia es sumamente rica en cuanto a contenido, ya no es parte del futuro, es nuestro presente, la podemos ver aplicada en muchas partes de nuestra vida diaria. Un caso muy claro son los carros del metro, un simple balastro, y muchos otros que no imaginamos.

La presente tesis muestra a lo largo de su desarrollo un poco de todo lo que se ha comentado líneas arriba, con un enfoque sencillo, que permita a la persona que la lea, obtener un rápido conocimiento de cómo opera la “eliminación selectiva de armónicos”. Sin duda existe una gran cantidad de bibliografía que habla sobre el tema, pero pocos con un sentido práctico, de ahí surgió la necesidad de mostrar la operación de lo que se habla en esos libros tan importantes.

El desarrollo de la tesis fue un proceso que requirió disciplina y mesura, ya que al trabajar con diversos dispositivos electrónicos, el menor descuido detiene el trabajo en curso y por ende pérdida de tiempo.

Se puede constatar la efectividad de lo planteado por Hasmukh S. Patel. en su tesis titulada “ Tiristor Invertir Harmonic Elimination Using Optimization Techniques”

4.5. Trabajos futuros.

Los resultados obtenidos en esta tesis, se pueden utilizar como una etapa de un proyecto con mayor complejidad, en el que se requiera alimentar una carga librándose de los efectos de los armónicos de mayor orden, como el 3° y el 5°, por ejemplo alimentar un motor en el cual se pueda observar el papel que juegan los diodos en antiparalelo por ser carga inductiva. Otro caso es que se puede armar el puente completo tomando como una rama el inversor armado aquí y sin duda muchos otros lados en particular donde se requiera y lo podamos adecuar de acuerdo a la necesidad en puerta.

APENDICE A

Programa cargado en la memoria del PIC 16F84A

```
Include    <p16f627a.inc>
```

```
__ CONFIG _HS_OSC&WDT_OFF&PWRTE_ON&_CP_OFF&_LVP_OFF
```

```
Ta   =   .1094
Tb   =   .1542
Tc   =   .6791
Td   =   .7239
Te   =   .8333
```

```
T1   =   Ta           ; Definición de constantes de tiempo
T2   =   Tb - T1
T3   =   Tc - T2 - T1
T4   =   Td - T3 - T2 - T1
T5   =   Te - T4 - T3 - T2 - T1
```

```
VAL_T1 = T1 - .9      ; Ctes de tiempo con factor de corrección.
VAL_T2 = T2 - .9
VAL_T3 = T3 - .14
VAL_T4 = T4 - .9
VAL_T5 = T5 - .9
```

```
reg_L   equ    0x20 ; Definición de registros usados en el programa
reg_H   equ    0x21
reg_time equ    0x22
```

```
#define OUT_0    PORTB,0 ; Definición de pines con los que trabajare
#define OUT_1    PORTB,1
```

```
salida macro    estado
```

```
    bcf    OUT_0    ; Coloca a nivel bajo los pines RB0 y RB1
    bcf    OUT_1
    call   delay_5us ; llama a la subrutina Death time

    if estado == 0
        bsf OUT_1 ; RB0 =0 y RB1 = 1
    else
```

```

                                bsf   OUT_0 ; RB0=1 y RB1 =0
endm

;////////////////////////////////////
; Inicio del programa
;////////////////////////////////////

org      0x0000                ;Dirección de inicio del código
bsf      STATUS,RP0           ;Selecciona el banco 1
bcf      TRISB,0              ;Configura el pin RB0 como salida
bcf      TRISB,1              ;Configura el pin RB1 como salida
bcf      STATUS,RP0           ;Selecciona el banco 0

main

; inicia el medio ciclo positivo

salida1  ; llama a la macro con estado uno .: RB0=1 y RB1 =0

        movlw low      VAL_T1
        movwf reg_L
        movlw high     VAL_T1
        movwf reg_H
        nop
        call  inicia_retardo

salida0  ; llama a la macro con estado uno .: RB0=0 y RB1 =1
        movlw low      VAL_T2
        movwf reg_L
        movlw high     VAL_T2
        movwf reg_H

        nop
        nop
        nop
        nop
        nop
        nop
        nop
        nop
        nop
        nop
        call  inicia_retardo

salida1  ; llama a la macro con estado uno .: RB0=1 y RB1 =0
        movlw low      VAL_T3
```

```
movwf    reg_L
movlw    high    VAL_T3
movwf    reg_H
nop
nop
nop
nop
call    inicia_retardo
```

; inicia el medio ciclo negativo

salida 0 ; llama a la macro con estado uno ∴ RB0=0 y RB1 =1

```
movlw    low    VAL_T4
movwf    reg_L
movlw    high    VAL_T4
movwf    reg_H
nop
nop
nop
```

```
nop
nop
nop
nop
nop
nop
nop
call    inicia_retardo
```

salida 1 ; llama a la macro con estado uno ∴ RB0=1 y RB1 =0

```
movlw    low    VAL_T5
movwf    reg_L
movlw    high VAL_T5
movwf    reg_H
nop
nop
nop
call    inicia_retardo
```

salida 0 ; llama a la macro con estado uno ∴ RB0=0 y RB1 =1

```
movlw    low    VAL_T1
movwf    reg_L
movlw    high VAL_T1
movwf    reg_H
nop
nop
nop
```


call inicia_retardo

salida1 ; llama a la macro con estado uno .: RB0=1 y RB1 =0

movlw low VAL_T2

movwf reg_L

movlw high VAL_T2

movwf reg_H

nop

nop

nop

nop

nop

nop

nop

nop

nop

call inicia_retardo

salida0 ; llama a la macro con estado uno .: RB0=0 y RB1 =1

movlw low VAL_T3

movwf reg_L

movlw high VAL_T3

movwf reg_H

nop

nop

nop

nop

call inicia_retardo

salida 1 ; llama a la macro con estado uno .: RB0=1 y RB1 =0

movlw low VAL_T4

movwf reg_L

movlw high VAL_T4

movwf reg_H

nop

nop

nop

nop

nop

nop

nop

nop

call inicia_retardo

salida0 ; llama a la macro con estado uno .: RB0=0 y RB1 =1

movlw low VAL_T5

movwf reg_L

```
        movlw    high VAL_T5
        movwf    reg_H
        nop
        nop
        nop
        call    inicia_retardo

        goto    main

; subrutina para Deathtime de 5 micro segundos
delay_5us
        movlw    0x05
        movwf    reg_time
resta_1 nop
        decfsz  reg_time ; Decrementa en 1 a reg_time y pregunta ;si es
;                               igual a ;cero

        goto    resta_1 ; si no es igual a cero se va otra vez a resta_1
        return          ; si es igual a cero regresa a la instrucción que
;                               llamo a la subrutina

inicia_retardo
        bcf     STATUS,C      ;Pone en 0 al carry
        rrf     reg_H         ; rotación a la derecha de reg_H
        rrf     reg_L         ;rotación a la derecha de reg_L

retardo
        movlw  0x01          ; coloca un 1 hex. en w
        subwf  reg_L         ; resta a reg_L el contenido de w
        btfsc STATUS,C      ; salta la sigu. instruc esta en cero
        goto  test          ; ir a la etiqueta test
        decf  reg_H
test
        tstf  reg_L
        btfsc STATUS,Z
        goto  tst_H
        goto  retardo
tst_H
        tstf  reg_H
        btfss STATUS,Z
        goto  retardo
        return

end
```

APENDICE B

➤ Especificaciones eléctricas del PIC16F627A.

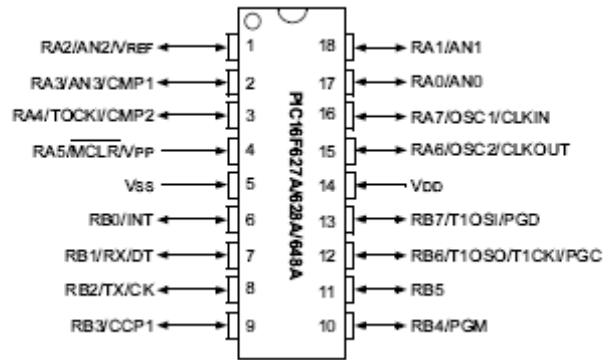
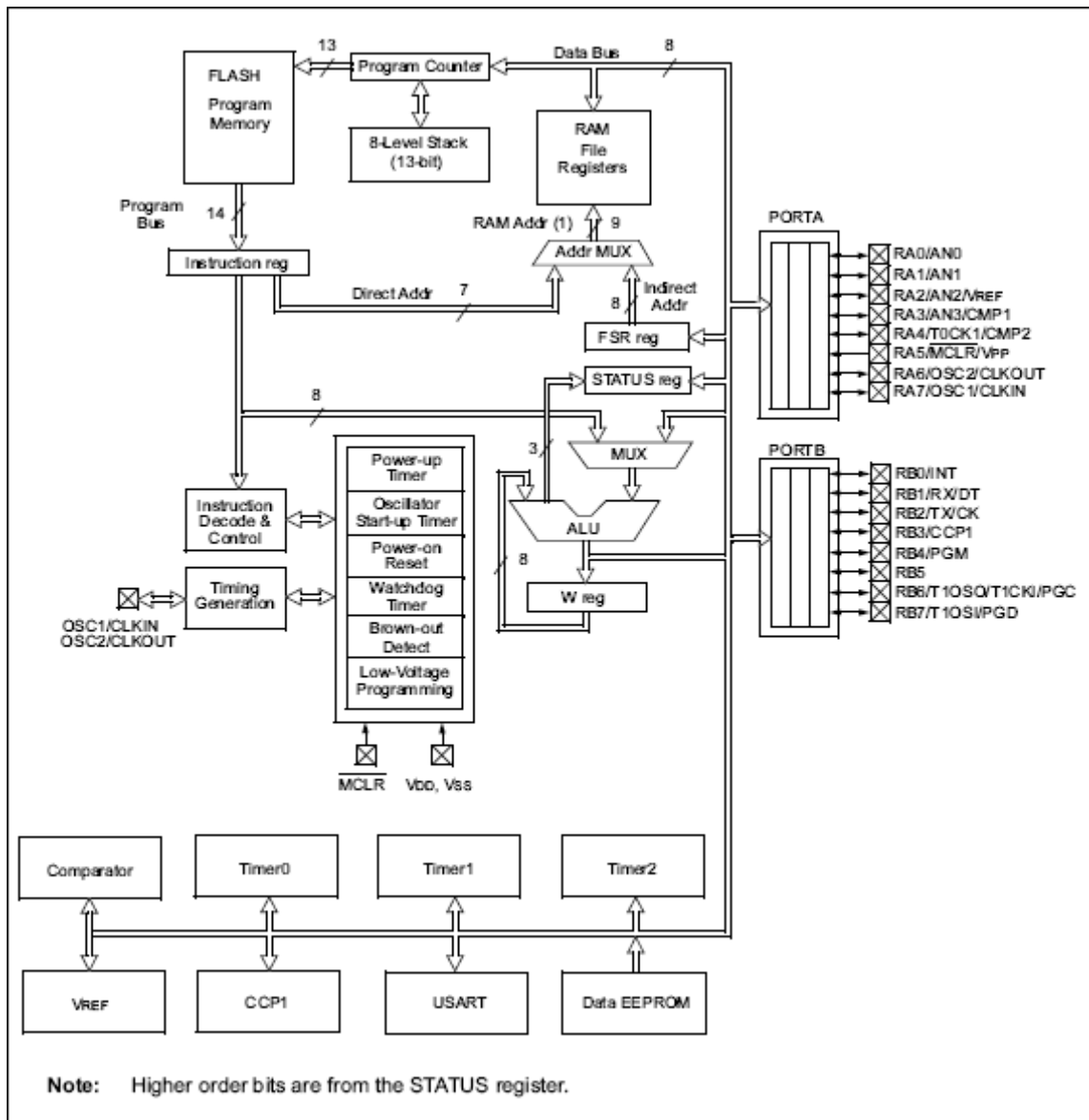


Diagrama de pines

Ambient temperature under bias.....	-40 to +125°C
Storage temperature	-65°C to +150°C
Voltage on VDD with respect to VSS.....	-0.3 to +6.5V
Voltage on MCLR and RA4 with respect to VSS.....	-0.3 to +14V
Voltage on all other pins with respect to VSS	-0.3V to VDD + 0.3V
Total power dissipation(1)	800 mW
Maximum current out of VSS pin.....	300 mA
Maximum current into VDD pin.....	250 mA
Input clamp current, I _{IK} (V _I < 0 or V _I > VDD).....	± 20 mA
Output clamp current, I _{OK} (V _O < 0 or V _O > VDD)	20 mA
Maximum output current sunk by any I/O pin.....	25 mA
Maximum output current sourced by any I/O pin	25 mA
Maximum current sunk by PORTA and PORTB (Combined).....	200 mA
Maximum current sourced by PORTA and PORTB (Combined).....	200 mA

Note 1: Power dissipation is calculated as follows: $PD_{IS} = VDD \times \{I_{DD} - \sum IOH\} + \sum \{(VDD - VOH) \times IOH\} + \sum \{VOI \times IOL\}$

➤ Diagrama a bloques de la arquitectura del PIC16F627A.



REFERENCIAS

- [1] Gualda, Martínez, "Electrónica industrial: Técnicas de Potencia", 2° edición. Editorial: alfaomega - marcombo. Barcelona España 1992.
- [2] Hasmukh S. Patel Thyristor "Inverter harmonic elimination using optimization techniques", August 1971.
- [3] H. S. Patel and R. G. Hoft, "Generalized Techniques of Harmonic Elimination And Voltage Control in Thyristors inverters: Part I – Harmonic Elimination," IEEE Trans. Ind. Applicat, Vol. IA-9, 1973.
- [4] International Rectifier, "Applications Notes AN983:IGBT Characteristics", USA. 1993.
- [5] Maloney, Timothy J, "Electrónica industrial moderna ", 5° edición. Editorial Prentice Hall.
- [6] Muhammad H. Rashid, "Electrónica de potencia, Circuitos, dispositivos y aplicaciones". México. 3ª edic. Editorial. Prentice Hall, 2004.